

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127277

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H01L 27/148

H01L 27/146

H01L 31/107

H04N 5/335

(21)Application number : 2000-259520

(71)Applicant : ISETEX INC

(22)Date of filing : 29.08.2000

(72)Inventor : HYNCEK JAROSLAV

(30)Priority

Priority number : 1999 151370

Priority date : 30.08.1999

Priority country : US

2000 489347

21.01.2000

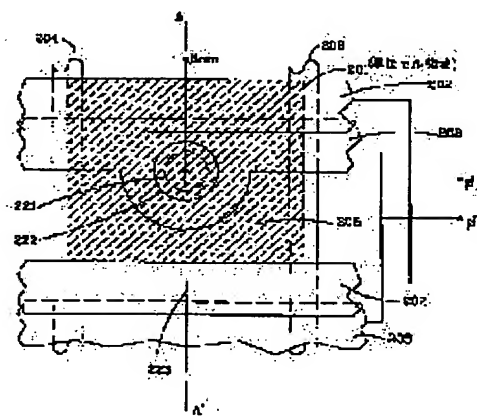
US

## (54) SEMICONDUCTOR IMAGE INTENSIFYING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid carrier multiplying stage which further prevents a dark current noise, together with its method as well as a sensor which incorporated the multiplying state.

SOLUTION: Related to an electric charge amplifying device with which a channel existing the whole range and in a depleted semiconductor volume (for example, charge accumulated area of optical sensor) passing a high electric-field area causes a single stage of impact ionization with no avalanche, the high electric-field area is separated from the region of moving carrier to minimize occurrence of the dark current noise. A sensor incorporating it is provided as well. Related to a method for multiplying the electric charge of a storage well, a multiplication well is provided below an electric charge multiplication gate electrode to receive a high electric field, while the electric charge is transferred from the storage well to the multiplication well for generating additional electric charge by a single stage of impact ionization. Here, the additional electric charge is added to an initial electric charge to form a multiplication electric charge.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] photosensitive area; -- channel stopper; which limits the 1 section aforementioned sensitization area at least -- the solid-state image consolidation equipment with which it has high electric-field carrier multiplication area; which exists in the 1 section aforementioned photosensitivity area at least, and said carrier multiplication area ceased to exist above said channel stopper in anywhere.

[Claim 2] Solid-state image consolidation equipment according to claim 1 with which said carrier multiplication field is demarcated by the longitudinal direction gap between one pair of insulated electrodes.

[Claim 3] Solid-state image consolidation equipment according to claim 1 located in the semi-conductor volume by which said carrier multiplication field was depletion-ized thoroughly.

[Claim 4] carrier multiplication area; which could impress high electric field since induction of the impact ionization was carried out -- optical carrier accumulation area; containing the semiconductor material of the 1st conductivity type -- the solid-state light-sensitive device with which it has structure; of the equipment with which the multiplication of the charge accumulated on said accumulation area was made to be carried out in said multiplication area, and said carrier multiplication area ceased to exist above said channel stopper in anywhere.

[Claim 5] The solid-state light-sensitive device according to claim 4 with which said carrier multiplication field is demarcated by the longitudinal direction gap between one pair of insulated electrodes.

[Claim 6] The solid-state light-sensitive device according to claim 4 located in the semi-conductor volume by which said carrier multiplication field was depletion-ized thoroughly.

[Claim 7] charge storing well; restrained by the longitudinal direction and said well -- carrier multiplication field; to which high electric field are impressed so that induction of the impact ionization of a carrier may be carried out inside -- containing -- said multiplication field -- perfect -- said well -- the solid-state charge amplifying device structure which exists inside.

[Claim 8] Solid-state charge amplifying device structure according to claim 7 where said carrier multiplication field is demarcated by one pair of insulated inter-electrode longitudinal direction gaps.

[Claim 9] Solid-state charge amplifying device structure according to claim 7 where it is located in the semi-conductor volume by which said carrier multiplication field was depletion-ized thoroughly.

[Claim 10] Said at least one pair of electrodes which made it at least one pair of electrodes, and have been arranged so that induction of the high longitudinal direction electric field may be carried out into the volume of the semiconductor material depletion-ized when bias was carried out; it is the solid-state charge amplifying device structure containing equipment structure; of the addition which transmits a carrier along the path which does not allow an avalanche event although the impact ionization of a single event allows in said high electric-field field.

[Claim 11] Said at least 1 pair of electrode; arranged so that induction of the high longitudinal direction electric field may be carried out into the volume of the semiconductor material depletion-ized when it was made at least one pair of electrodes and bias was carried out mutually is included. Said electrode pair fully approaches said depletion-ized semiconductor material, and is located so that said semiconductor material may be allowed impact ionization, when bias of said electrode pair is carried out mutually. Solid-state charge amplifying device structure where the field where said electric field are high enough is fully so small that said impact ionization is allowed, and the probability of an avalanche is zero substantially.

[Claim 12] The gate electrode with which it was made the sensor containing at least one cel, and it was crossed, it has been arranged in insulation, and opening was formed on the channel; aforementioned channel by which said cel was formed in the substrate; said sensor containing charge multiplication gate electrode structure; prepared in insulation into on said opening.

[Claim 13] The sensor according to claim 12 in which said gate electrode structure of each cel has opening in which this opening gate electrode was formed by penetrating it including the 1st opening gate electrode.

[Claim 14] The sensor according to claim 12 by which said gate electrode structure of each cel has the 1st and 2nd RETIKYURESHON in it including the 1st and 2nd opening gate electrode so that the said 1st and 2nd opening gate electrode may border opening, respectively.

[Claim 15] A sensor including the photodetector with which said each cel was further combined with said channel through the transfer gate and said transfer gate, and the optical electric shielding which surrounded said photodetector and was prepared on said channel so that said photodetector might be exposed to light according to claim 12.

[Claim 16] The sensor according to claim 12 by which said photodetector of each cel contains one of the photo diode by which pin attachment was carried out, and the schottky-barrier diodes.

[Claim 17] The sensor according to claim 12 by which said blooming prevention structure contains [ each cel ] one of a longitudinal direction overflow drain and the vertical overflow drains including blooming prevention structure.

[Claim 18] each cel -- further --; transfer gate; -- the sensor according to claim 12 by which it is combined with said blooming prevention structure, and said photodetector is combined with said channel through said transfer gate including photodetector; which can integrate with a photoelectrical load.

[Claim 19] The perfect frame area image sensor by which said sensor contains said two or more cels including cel; of plurality [ cel / at least one / said ], and the sensor according to claim 12 which is one of the frame transfer area image sensors containing said two or more cels.

[Claim 20] the frame-in in which said at least one cel contains the INTARAIN transfer area image sensor by which said sensor contains said two or more cels, and said two or more cels including two or more cels -- a tare -- the sensor according to claim 12 which is one of the in transfer area image sensors.

[Claim 21] The time delay integral sensor by which said sensor contains said two or more cels including the cel of plurality [ cel / at least one / said ], and the sensor according to claim 12 which is one of the train array sensors containing said two or more cels.

[Claim 22] The sensor according to claim 12 said whose at least one cel is the activity pixel CMOS sensor by which said sensor contains said two or more cels including two or more cels.

[Claim 23] The sensor according to claim 12 by which said at least one cel contains the CCD register with which said sensor was further combined between the photodetector, and the array of said cel and said photodetector including the array of a cel.

[Claim 24] The array of said cel is organized by the M train xN cel, and said CCD register contains further two or more register elements. Said photodetector is combined with said CCD register, and a charge is transmitted to each register element of said CCD register from said photodetector at time sequence. The sensor according to claim 12 by which said CCD register is combined with the array of said cel, and the charge packet of one train is transmitted to juxtaposition from M register elements of said CCD register at the 1st cel of each train of M train of said cel array.

[Claim 25] The sensor according to claim 12 by which said at least one cel contains one of the arrays of the micro-lens with which said sensor was further arranged on the filter of the shape of a light filter matrix and a split, and said two or more cels including two or more cels.

[Claim 26] The sensor according to claim 12 each cel of whose is the element of said serial read-out register including the read-out register of a serial [ sensor / said ].

[Claim 27] The sensor according to claim 12 in which said gate structure of each cel has opening to which one of said the opening gate electrodes penetrates it including the 1st opening gate electrode, and said gate electrode structure of each cel has the 1st and 2nd RETIKYURESHON with which the said 1st and 2nd opening gate electrode borders said opening including the 2nd opening gate electrode, respectively further.

[Claim 28] The sensor according to claim 12 by which said clock signal and said charge multiplication signal started the charge multiplication by impact ionization cooperatively including the charge multiplication terminal combined with the charge multiplication gate electrode with which a charge multiplication signal is furthermore impressed, and the clock signal terminal combined with the 1st opening gate electrode with which a clock signal is impressed.

[Claim 29] Said clock signal and said charge multiplication signal are a sensor according to claim 12 by which time amount is controlled to start the charge multiplication by impact ionization when said charge multiplication signal is stabilized in the maximum positive bias to this charge multiplication signal and said clock signal transfers to the maximum positive bias from the maximum negative bias to this clock signal.

[Claim 30] Said clock signal and said charge multiplication signal are stabilized on the most negative bias of said clock signal \*\*. Time amount is controlled to demarcate the 1st condition, when said charge multiplication signal is stabilized on the forward bias. Said clock signal and said charge magnification signal Said clock signal transfers to the forward bias from the most negative bias. The sensor according to claim 12 by which time amount is

controlled to transfer to the 2nd condition from the 1st condition when said charge multiplication signal is held at the forward bias, and the transition to the 2nd condition from said 1st condition started the charge multiplication by impact ionization.

[Claim 31] The 1st, 2nd, and 3rd gate electrode and; are included at least. the channel formed on the substrate, and; -- on said channel, it was crossed and it was formed in insulation -- Said the 1st and 3rd electrode have RETIKYURESHON in it, respectively. Said 2nd electrode is a sensor by which it is formed so that RETIKYURESHON of the said 1st and 3rd gate electrode may be approached and a gap may border opening through it, and said charge multiplication gate electrode is arranged in insulation in on said opening.

[Claim 32] It is the approach said high electric-field field generates an additional electron for single process impact ionization in proportion to the number of a lifting and the electrons transmitted by that cause, and said high electric-field field amplifies the solid-state charge which exists in the volume by which said semiconductor material was depletion-ized for the whole, including the process of transmitting [ through a high electric-field field ]-in semiconductor material-one or more migration carriers;.

[Claim 33] The obstruction which exists between wells is made small. storing -- the approach of carrying out multiplication of the charge in a well -- carrying out -- the bottom of a charge multiplication gate electrode -- multiplication -- forming-well; -- said storing -- a well and said multiplication -- It transfers to a well. said storing -- the first charge stored in the well -- said obstruction -- exceeding -- said multiplication -- constituting-charge with which additional charge was generated by impact ionization, charge of said addition joined together and multiplication was carried out to said first charge; and said charge by which multiplication was carried out -- said multiplication -- said storing from a well -- the approach of carrying out multiplication of said charge including each process of transmitting-to well;.

[Claim 34] furthermore, said multiplication -- the process of forming a well, making said obstruction small, and transmitting-said charge by which multiplication was carried out \*\* -- two or more cycle \*\*\*\*\* -- the approach containing things according to claim 33.

[Claim 35] The approach according to claim 33 said two or more cycles contain the number of cycles of the range of 50 to 5000.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The background and outline] of invention This application is related with solid-state image consolidation equipment (image intensifier) and the image consolidation equipment especially formed in the piece of the semiconductor substrate using the standard semiconductor integrated circuit manufacture approach at the monolithic configuration. Especially this invention relates to solid-state image sensing (image sensors) / consolidation equipment (intensifier) using the charge multiplication by single carrier impact ionization (single carrier impact ionization).

[0002] Image consolidation equipment (or "II") is image sensing equipment with the capacity changed without adding a substantial noise to the image formed with many electrons for every pixel in the image formed with a fraction or a single photon for every pixel. Since detection and processing are easy for the picture signal in which this is formed with many electrons for every pixel, in image application of much low optical level, it is advantageous. Not one but the signal containing many electrons is always more highly [ than the ground noise (noise floor) of a charge detector and a system ] maintainable.

[0003] Conventionally, image consolidation equipment used thermionic-tube equipment. In such equipment, an image is projected on suitable photoelectric cathode and multiplication of the free photoelectron is carried out in the process to the anode. The typical multiplication approach used is based on the concept of the micro channel (micro-channel) by which multiplication is increased hundreds before an electron is sensed, or 1000 times. The image charge by which multiplication was carried out as a result is scanned on a suitable anode observation screen, or is displayed directly. Such equipment is used for the night monitor mirror of a current army, or the image sensing camera of other low optical level. Although these equipments attain the outstanding function and have the desirable description of many like low power consumption and very high sensibility, they are in the description peach easily unconquerable on the other hand which is not desirable. The vacuum-pipe technique is not suitable for the easy connection with low cost-high production, an important miniaturization, color sensing, and today's newest digital image-processing equipment in itself. Thermionic-tube consolidation equipment needs a high electrical potential difference for the actuation again. The latest research efforts have been turned to development of the image consolidation equipment which can be manufactured using a standard semi-conductor manufacturing technology for these above and other reasons.

[0004] The example of such an activity using the hybrid approach is based on the report of the task force (10-June 12, 1999, Japan, Nagano Prefecture, Karuizawa) about the image sensor by which with the sensor and 1999 and IEEE progressed, tee . WATABE of R33, etc. It is indicated by "the enveloping layer (CMOS Image Sensor Overlaid with HARP Photoconversion Layer) of the CMOS sensor by the HARP light conversion layer". [ charge coupling ] It includes in this application by considering the content as reference.

[0005] a solid-state semi-conductor substrate -- one -- and (monolithically) other examples of the idea of the image consolidation equipment made directly are indicated by United States patent No. 5,337,340 of high NESUKU (1994) (Hynecek). It includes in this application by considering the content as reference.

[0006] The non-mapping equipment (non-imaging device) representing the accumulation and the multiplication photodetector which had the three MOS gates which was further formed in other suitable substrates, and which approached in low (Lou) United States patent No. 4,912,536 is indicated. the 1st gate -- depletion -- bias is carried out so that a well may be formed in the bottom of accumulation of a photoelectrical load (photocharge). the 2nd gate -- accumulation -- the avalanche (avalanche) formed in the bottom of the 3rd avalanche gate in a well -- it is the transfer gate isolated from a well. the back 2nd gate where bias of the 3rd gate was carried out to the avalanche preparatory state opens -- having -- accumulation -- the accumulation charge from a well -- an avalanche -- it is transmitted to a well. Between this charge transfer processing, a charge receives magnification with the multiplication factor relevant to avalanche processing.

[0007] The image sensor of known integral construction like the equipment by CCD or CMOS attained the high engine performance in resolution, sensibility, the noise, and the miniaturization. Probably, the camcorder (Camcorder) and the common digital quiescence camera (DSC) which have fully opposed the film using these sensors will not be possible without these sensors. However, in order to make size of a required chip small for price competition, pixel size needs to be decreased. It is made a calamity, and if it decreases, reduction in sensibility and reduction of the S/N ratio by it can be related for it, and cannot avoid pixel size. The reduction in a S/N ratio cannot be based on the ground noise of a fixed charge detector, and cannot decrease easily. It is thought that it is difficult to decrease the ground noise of the charge detector on a chip less than [ a single electron or it ]. Therefore, since charge multiplication can improve sensibility, without increasing a noise greatly, the concept of the charge multiplication indicated by United States patent No. 5,337,340 gives expectation of attaining the dominance on the competitive engine performance in an image consolidation technique.

[0008] United States patent No. 5,337,340 teaches the underlying concept of the carrier multiplication in the application to a semi-conductor and its CCD image sensing equipment. If it is projected on a photon by the pixel and it is changed into an electron, the generated electron will be transmitted in a CCD mode through a high charge field, and will start impact ionization (impact ionization). Impact ionization generates a new electronic-electron hole pair, and increases the number of the original electrons. Usually, since there is no generating of an electronic-electron hole pair with a larger new number than per [ 1 ] electronic transfer, avalanche (avalanche) multiplication is never generated. It is one of the descriptions by which the concept of this a patent [ No. 5,337,340 ] publication is distinguished [ patent / No. 4,912,536 ] from the concept of a publication. In [ the process of impact ionization ] comparison, since there are few noises, they can explain theoretically that it can be increased by the charge signal by photon generating beyond the ground noise of a system, without decreasing a signal-to-noise ratio (S/N). Objectively, an avalanche phenomenon is a noise-process (impact ionization generates a secondary carrier and a secondary carrier generates a secondary [ further ] carrier in itself).

[0009] Although the general conception indicated by patent No. 5,337,340 was steady, the latest, further experiment showed data new about the ground noise of this approach. "New low noise charge carrier multiplication equipment [ of CCM-A suitable for the charge detection in a small pixel CCD image sensor ] (CCM-A New Low-Noise Charge Carrier Multiplier Suitable for Detection of Charge in Small Pixel CCD Image Sensor)" 39 of high NESUKU (Hynecek) IEEE Please refer to the report 1972 (1992) about an electronic instrument. The single photon detection (SPD) by the monolithic solid-state image sensor still exists as a desirable target in this way.

[0010] Drawing 1 and 2 show the plan and sectional view of the CCD unit cell 101 which are used for the typical CCD image sensor before carrying out finishing (overcoat) of the last dielectric layer, and the process of formation of a metal pattern. In drawing 1, the channel stopper fields 104 and 106 restrain a charge in the direction of Y, and, on the other hand, the gate electrodes 102 and 103 restrain a charge in the direction of X with the virtual electrode (Virtual Electrode) (VE) field 105. A CCD channel is demarcated among the channel stoppers 104 and 106. Clock signal f1 f2 The electric interconnecting line given to physical structure (physical structures) is shown in notation. As for a charge, a CCD channel is transmitted up and down by giving the suitable bias for the gate electrodes 102 and 103 (transferred up or down). The potential configuration by the various gate bias in fields 107 and 108 and charge transfer processing of the result are shown in drawing 2. The potential of fields 107 and 108 changes to level 150-152, and the potential of VE field is held at the fixed level 151. In order to make it perfect, the direction sectional view of Y of equipment is shown in drawing 3, and the detail 115 of a channel stopper field is shown in drawing 4. Drawing 1, the field of 2 and structure 102 thru/or 112, 116, 117 and 118 correspond to drawing 5, the field of 6 and structure 202 thru/or 212, 215, 217 and 218 directly, and they explain these in full detail behind.

[0011] Generating of a background charge (Background charge) is best understood with reference to drawing 4. When the bias given to the gate electrode 103 is low, an electron hole 119 is caught by the interface between the semi-conductor substrate 112 and the gate dielectric 118 (interface) (trap). When the bias given to the gate electrode 103 changes from a low to a high level, the electron hole 119 caught by the interface is released rapidly, and is accelerated. The caught electron hole is exposed when the location of a depletion region boundary changes to 114 from 113. If the accelerated electron hole acquires energy, a lifting and an electron 120 will be generated for impact ionization. the gestalt (it laps) to which the gate electrodes 102 and 103 overlap the channel stoppers 104 and 106 as almost all CCD equipments are shown in drawing 1 — \*\*\*\* — since it is, it is not easy to prevent generating of the charge which is not desirable. This is applied like the structure of drawing 1 which only shows one example, and other more common CCD equipments which do not have VE field with many gate electrodes from 2. The equipment which has VE field and has a large number or a single gate electrode has an additional problem of generating of the background charge in the interface between fields 102 and 105 and between fields 103 and 105.



[0012] In the latest CCD equipment, in order to make low the dark current generated at an image integral period, an electron hole is usually intentionally drawn on the boundary of a substrate-dielectric. Since prehension of the electron hole in an interface causes generating of a background charge and a corresponding noise, it is difficult to know how image consolidation actuation will be attained by the conventional technique. Moreover, it is also difficult to attain image consolidation actuation without generating of a background charge in the CCD equipment made using the very small conventional engineering.

[0013] The conventional technique is not indicating the gate electrode structure where a charge multiplication electrode is arranged on it and where opening was formed. the conventional technique -- again -- storing -- the approach of replacing with avalanche processing the charge detected by the beginning of a well, and carrying out multiplication by single carrier impact ionization processing (single-carrier impact ionization process) is not indicated. The conventional technique is not indicating the approach of attaining by repeating a charge and transmitting without generating of significant multiplication gain of a dark noise forward and backward within a single cel, or the approach of attaining using the cel of a large number combined with the CCD mode together. The conventional technique is not indicating the approach of attaining programmable charge gain externally, by controlling the count of the multiplication transfer in one cel.

[0014]

[Semi-conductor image consolidation equipment] this invention person discovered that the ground noise of the equipment of a patent [ of high Netscape Navigator / No. 5,337,340 ] publication was improvable by making association with the high electric field and the channel stopper in a carrier multiplication field into min. This application indicates the various structures where follow, the above-mentioned association decreases and the noise engine performance is improved. In many examples, although a high electric-field field exists in a cel field and a longitudinal direction is limited with a channel stopper and a transfer obstruction, it does not exist above a channel stopper anywhere. All high electric-field fields exist in the depletion-ized semi-conductor volume preferably.

[0015] This application indicates the image chip incorporating the improved solid-state carrier multiplication stage which gives the improved prevention effectiveness (immunity) over a dark current noise, and this multiplication stage. In various examples, this application indicates the practical charge multiplication pixel (charge multiplication pixel) which operates without generating of a background charge. The above and other objects are attained by the cel of a sensor including the gate structure where crossed this channel, and it has been arranged in insulation, and opening was formed on the channel formed in the substrate, and said channel, and the charge multiplication gate structure insulated and arranged on said opening. In one example, gate electrode structure contains the 1st opening gate electrode with which the breakthrough was prepared. the 1st and 2nd RECHIKYURESHON (reticulations) formed in other examples so that gate electrode structure might surround said opening including the 1st and 2nd opening gate electrode, respectively -- \*\*\*\* -- it is. As for another example, opening is formed through it including 3 or the gate electrode beyond it.

[0016] another example -- storing -- the approach of carrying out multiplication of the charge accumulated on the well indicates -- having -- this approach -- the bottom of the charge multiplication gate -- multiplication -- a well -- forming -- the bottom of the charge transfer gate -- a potential barrier -- forming -- said potential barrier -- said storing -- the charge first stored in a well -- this obstruction -- exceeding -- multiplication -- it is made low until it is transmitted to a well. The transmitted charge carries out multiplication of the charge to which single carrier impact ionization was transmitted by the lifting beginning. the charge with which multiplication of the above-mentioned approach was carried out further -- said multiplication -- storing from a well -- storing of the cel of the contiguity combined with it in the CCD mode in the process returned to a well, or the charge by which multiplication was carried out -- the process transmitted to a well is included.

[0017] Indicated invention (innovations) can program or control the charge gain of the pixel of the phot cel or photodetector of the : and the image sensor which gives one or more of the following advantage at least in various examples by the electronic signal added to a chip from the outside. (This is because charge multiplication is controllable changing the electrical potential difference of a multiplication gate electrode, or by controlling the number of the pulses used for a multiplication cycle.) It also sets to any of - various structures, and is monolithic solid-state image consolidation equipment (SSII) of high performance to a actual target.

[0018] Indicated this invention is explained with reference to the attached drawing in which the important instantiation-example of this invention is shown.

[0019]

[Detailed explanation of a desirable example] Various kinds of new techniques of this application are explained especially with reference to a current desirable example (as instantiation, not limited to it).

[0020] In drawing 5 and 6, the Internet Fair 2001 Japan TRON (IMPACTRON) cel 201 is shown in a plan with the corresponding cross section in alignment with line A-A'. In drawing 5 , the channel stopper fields 204 and 206



restrain a charge in the direction of Y, and the gate electrodes 202 and 203 restrain a charge in the direction of X with the virtual electrode (Virtual Electrode) (VE) field 205. Clock signal f1 f2 The electric interconnecting line given to physical structure (physical structure) is shown in a graph.

[0021] The description of drawing 1 , drawing 5 which is not contained in the structure of 2, and the structure of 6 is the circular opening 221 of a CCD channel by which opening was mostly carried out to the gate electrode 203 at the core. The same ingredient as having been used for formation of the gate electrode 202 covers the opening field 221 of the gate. However, it is not necessarily required to use the same ingredient because of the exact function of this equipment. It is called charge multiplication (Charge Multiplication) (CM), and connects with a metal wire 223, and the gate 222 formed is connected to the terminal of the equipment driven by charge increase clock-doubling signal phiCM eventually shown in a graph at drawing 5 .

[0022] A cel is constituted on the standard semi-conductor p-mold substrate 212. Let said substrate be silicon doped by the order of beginning  $10^{15}\text{cm}^{-3}$  for convenience. Suitable n-mold impurity range 211 which forms a CCD channel is formed near the front face of a substrate of diffusion or an ion implantation, and annealing. Since these processes are common in this industrial field, detailed explanation is not given. The order of  $10^{17}\text{cm}^{-3}$  and the thickness of a layer of the high impurity concentration of the above-mentioned field are 0.3 micrometers (3000Å) order.

[0023] The suitable dielectric layer 218 deposits or grows on a substrate. This is diacid-ized silicon  $\text{SiO}_2$  with a thickness of 0.03 micrometers (300Å). A cel contains other dielectric layers 217 preferably arranged further on a layer 218. For example, such a layer is formed of deposition of silicon nitride  $\text{Si}_3\text{N}_4$  of 0.03-micrometer (300Å) thickness. A layer 217 is usually used for the adaptability of the convenience of manufacture, and a known approach. This is not required for the just Internet Fair 2001 Japan TRON cel function. It is not illustrated although other thin dielectric layers of 0.005 micrometers (50Å) order may be formed on a layer 217 for convenience' sake on manufacture.

[0024] The Internet Fair 2001 Japan TRON cel includes the gate electrode structure further formed of fields 202, 203, and 222. The gate ingredient of these layers is the polycrystalline silicon (polish recon) doped suitably, and the thickness of the gate electrodes 202 and 203 is 0.4 and 0.15 micrometers (4000 and 1500Å), respectively. The gate 203 is isolated by the thin dielectric layer 216 from the gates 202 and 222. This dielectric layer has the farther [ than a flank ] thick upper part of the gate 203. Although a thick upside dielectric layer is 0.25 micrometers (2500Å) order and the parasitic capacitance between the gates 202 and 203 is decreased substantially, the thickness of the dielectric of the flank of structure 203 is important for controlling electric field and inter-electrode dielectric breakdown voltage. drawing 5 -- six -- illustrating -- having -- a cel -- p -- + -- a mold -- a dope -- a field -- 209 -- being suitable -- n - a mold -- a dope -- a layer -- 210 -- forming -- having had -- imagination -- an electrode -- ( -- VE -- ) -- a field -- 205 -- containing . After drawing 5 and the cel shown in 6 are manufactured, some dielectric layers which are not illustrated and the metal layer made by the pattern are added to it. Such structures make easy required electric interconnect, metal-metal insulation, and blemish prevention of the whole chip. Although such a layer is generally used in this industrial field, since it is not important for the function of a cel, explanation is omitted.

[0025] Since the semicircle and the circular opening 221 of the gate electrode 203 which are shown in drawing 5 are the homogeneity of the electric field between the gate electrodes 203 and 222, it is important. However, probably, it turns out that opening 221 can be formed in an ellipse form, an ellipse, or a polygon without loss of a function at those who became skillful in this field. Isolation from the channel stopper of homogeneous control of electric field and a high electric-field field is the important advantage of the Internet Fair 2001 Japan TRON cel design.

[0026] Actuation of the Internet Fair 2001 Japan TRON cel without generating of a background charge can be explained with reference to the time amount graphic form of the cel shown in the potential graphic form shown in drawing 6 , and drawing 7 . the total time cycle of a cel -- three fundamental interval: -- reset-time spacing tauI It is divided into charge doubling time spacing tauCM and charge transfer-time spacing tauTR. Bias of the three gate electrodes 202, 203, and 222 is carried out to the most negative level corresponding to the potential level 250 altogether shown in drawing 6 between the reset times. Since pinning (pinned) of the surface potential of the lower part of the gate is carried out to a substrate by this bias, this level is called pinning level (pinning level). Between this time interval, an electron hole flows down the gate from p+ channel stoppers 204 and 206 and the p+VE field 205, and interface state density (interface state) is filled. Thereby, generating of the superfluous dark current stops. the integral potential to which an integral period is completed and one or some photoelectrons are located in the VE field 205 -- if a well (integrating potential well) is piled up, the bias of the gate electrodes 203 and 222 will increase to the value corresponding to the potential level 255 shown in drawing 6 . This shows initiation of a charge multiplication period.

[0027] In charge multiplication period tauCM, the gate electrodes 222 and 203 are given by clock signal phiCM a

charge multiplication pulse is indicated to be to drawing 7 , and  $\phi_2$ , respectively. Charge multiplication pulse  $\phi_{CM}$  and  $\phi_2$  change the potential under each gate of fields 221 and 208 between level 255 and 253. The correlation staff of the pulse given to the gate electrodes 222 and 203 is shown in a detail at drawing 7 . The bias of both charge multiplication gate electrode 222 and gate electrode 203 is in the low level corresponding to the potential level 255 ( drawing 6 ) at first. Subsequently, the bias given to the charge multiplication gate electrode 222 goes up on the highest level, before the bias of the gate electrode 203 changes. if, as for the high electropositive potential of a field 221 (lower part of a charge multiplication gate electrode), the potential barrier (low voltage) is not formed in the field 208 of the lower part of the gate electrode 203 ( drawing 6 ) in this condition -- the integral of a field 209 -- a photoelectrical load (photocharge) is drawn from a well.

[0028] In the following process, before the bias of the charge multiplication gate electrode 222 goes up to the record level, the bias of the gate electrode 203 goes up and the potential of a field 208 is gone up. this -- the integral of a field 221 (lower part of the charge multiplication gate electrode 222), and a field 209 -- the potential barrier which exists between wells is made low. consequently, an electron -- the integral of a field 209 -- it begins to flow to the high electric-field field formed between the high potential field 221 and the low voltage field 208 over the potential barrier of a field 208 from a well. The high electric field which exist among fields 221 and 208 carry out induction of the electronic transfer, and impact ionization and new generating of an electronic-electron hole pair are caused.

[0029] the integral of a field 209 -- the processing after the electron which all the electrons transmitted to the high potential field 221 over the potential barrier of a field 208 from the well, and was generated by impact ionization was added -- being reversed -- all the electrons of a field 221 -- the integral of the lower part of the VE electrode 205 -- it is returned to a well. This is attained by making low bias of the charge multiplication gate electrode 222, before making bias of the gate electrode 203 low. In the following process, said processing is repeated, and while being each pulse cycle, multiplication of the first amount of charges is carried out. It is clear from the above-mentioned publication that it is not necessary a charge's to necessarily return to the first cel. It can also transmit to the contiguity cel which forms a long charge multiplication chain suitably in a CCD mode. The number of the pulses of multiplication spacing  $\tau_{CM}$  can be enlarged dramatically. However, the most desirable number is between 50 and 5000 pulses.

[0030] The last time interval is charge transfer spacing  $\tau_{TR}$ , and is transmitted to the following structure where a charge adjoins from the Internet Fair 2001 Japan TRON cel between them. It is the CCD structure of other arbitration like other Internet Fair 2001 Japan TRON cels or a CCD register, a CCD memory cell, or a charge detection node. The pulse given to the gates 202 and 203 between charge transfer spacing  $\tau_{TR}(s)$  vibrates the potential of the lower part of the gate between level 255 and 252 by the correlation staff shown in drawing 7 .

[0031] Since bias voltage is higher than between reset-time spacing between multiplication and read-out spacing, generating of a background charge is removed. However, in drawing 7 , when generating of the background charge during a read-out period can be disregarded, as a timing generating circuit is simplified and a dotted line shows, a signal can be generated. The clock of the gate electrodes 203 and 222 is carried out to this period between the bias level corresponding to potentials 252 and 250.

[0032] Since, as for all gate electrodes, bias only of during an integral period is carried out to pinning bias (pinning bias), a background charge is not generated in the Internet Fair 2001 Japan TRON cel. This description has the effectiveness which makes min generating of the dark current in the interface of a substrate-dielectric. However, between multiplication cycle-time spacing, electron holes are extruded [ no ] from the high electric-field field of the lower part of the gate electrodes 203 and 222, and any impact ionization starts them.

[0033] The decision of the noise generated in the Internet Fair 2001 Japan TRON cel by charge carrier multiplication is a factor important for determining whether single photon detection (SPD) is possible. Since a charge receives many transfers from a cel within a cel or one cel, the accumulated noise becomes very large. Charge multiplication processing is modeled as shown in drawing 8 . The model consists of connection (chain) of the same multiplication stage of N individual, and each stage has multiplication distribution (multiplication variance)  $\sigma^2$  and the multiplication average (multiplication mean)  $n$ . To the given number of stages N if multiplication factor  $M=nN$ , the following formula will be drawn about an excess noise factor F.

[Equation 1]

$$F^2 = 1 + \sigma^2 \frac{\left(1 - \frac{1}{M}\right)}{n(n-1)}$$

$$\approx 1 + \sigma^2 N \frac{\left(1 - \frac{1}{M}\right)}{\ln(M)}$$

[0034] Distribution of each multiplication process of each is usually dramatically small by the property of the single crystal of a semi-conductor substrate (order of  $\sigma^2=0.002$ ). Since the number of magnification stages can be increased to thousands according to the above-mentioned formula by the time an excess noise factor (excess noise factor)  $F_2$  exceeds 1 substantially, this is a dramatically convenient thing. In this way, even if the probability of the multiplication in the charge transfer process of one metaphor is dramatically small, the multiplication factor of 10-100 is possible. This is one of the descriptions which distinguishes the concept of the Internet Fair 2001 Japan TRON single carrier charge multiplication (single carrier charge multiplication) from standard avalanche multiplication (avalanche multiplication). In the image consolidation equipment based on a vacuum-pipe technique, charge multiplication happens with the noncrystalline ingredient which covers a micro-channel tube wall or a dynode (dynode) front face, and, as a result, an excess noise factor is  $F_2=2$  typically. The Internet Fair 2001 Japan TRON has an advantage in the excess noise engine performance as compared with other image consolidation equipments.

[0035] Other advantages of the Internet Fair 2001 Japan TRON are in the versatility of inclusion in the image sensor structure of many present age. Some important examples of such inclusion are explained below with reference to drawing 9, and 10, 11 and 12.

[0036] In drawing 9, the boundary region 302 with the same structure as the channel stoppers 204 and 206 of drawing 5 surrounds the activity area 301. The activity area 301 is filled according to the array of the Internet Fair 2001 Japan TRON cel 201 (drawing 5). An array is equipped with an interconnecting line and terminals 311, 312, and 313 in order to supply suitable bias voltage from an external pulse actuator. The image sensor formed when the whole division region 301 is filled with the Internet Fair 2001 Japan TRON cel is called the perfect (frame FF) (Full Frame) map machine or an image pick-up machine (imager). Since the equipment of this format needs to intercept being projected on a beam of light for the equipment between charge read-out phases, it is used for a map system with an optical shutter like a digital quiescence camera (DSCs). The image sensing area 301 is connected with the serial (serial) register 305 through a border area 304. This is good also as a channel stopper field made by other gates or only suitable configurations. Completion of the multiplication of image accumulation and a charge transmits a charge to an addressing to single tier serial register from an array (every line). A serial register consists of a CCD cel 101 of a criterion as shown above at drawing 1. Some cels 306 are added to the edge of a register, and the distance from an array to the detection node 307 and amplifier 309 is buried. A charge detection node includes  $n^+$  diffusion field 307 included in a standard cell 101. An amplifier input is connected to this  $n^+$  diffusion node. A serial register carries out termination for a reset gate and the output diode 308. Required clock bias voltage is supplied to a serial register with an interconnecting line and terminals 314 and 315. By carrying out the clock of the serial register, the picture signal of one train (line) is read and it is outputted to the sensor output terminal 310. After the signal of a serial register becomes empty, it is understood easily that the data of a new train are inputted from an array. This is performed by giving a suitable clock pulse to the array terminals 311 and 312 of juxtaposition. The train of all signals carries out a clock and it is read to a serial register, and it is outputted to a detection node and all sensors are read. After this cycle is completed, a camera shutter is opened and a new picture signal is accumulated. Of course, there is a suitable multiplication period following an accumulation period, and a read-out period starts again after that.

[0037] Important deformation of a perfect frame sensor read-out technique is called time delay integral (Time Delayed Integration) (TDI) read-out. In this read-out mode, the image on which it is projected in an image sensing area is not standing still, and is moving. Then, the clock of the charge is carried out in this direction with the same mean velocity through an array so that the image which moves may be followed. It will be understood by this contractor that actuation of the Internet Fair 2001 Japan TRON cel supports this read-out technique.

[0038] The perfect frame image sensor of all formats generates an image fixed pattern noise (image Fixed Pattern Noise) (FPN), and this is called still more appropriately image fixed pattern non-homogeneity (image Fixed Pattern Non-uniformity). Non-homogeneity is generated by the slight difference in the engine performance of the equipment by the difference in the processing which crosses a sensor and is distributed. A perfect frame image sensor with the Internet Fair 2001 Japan TRON cel included in the activity image sensing area 301 also suffers the damage by Image FPN. The charge multiplication of the Internet Fair 2001 Japan TRON cel actually amplifies Image FPN. Therefore, in another example, another serial register 317 (drawing 10) is exchanged by the serial register 305 of drawing 9. In the serial register 317, the serial Internet Fair 2001 Japan TRON cel is prepared just before the charge detection node 307 of a register, and amplifier 309. A sensor operates so that only the desirable signal margin in which clock actuation of the Internet Fair 2001 Japan TRON cel of the image sensing area 301 limits the charge multiplication effectiveness, and exceeds ground noise may be given, and additional gain is given by the Internet Fair 2001 Japan TRON cel of the serial register 317. Since each packet of a charge must be transmitted through the same Internet Fair 2001 Japan TRON cel of the serial register 317,

multiplication only of the amount with the always same transfer signal is carried out. In this way, what kind of image FPN does not generate the serial register 317.

[0039] The width of face of the serial register 317 can be designed more widely [ arbitration ] than the register of an image sensing area. thus, the well of a serial register -- capacity is restricted fundamentally -- not having -- the greatest well -- capacity is required only for the back stage of the serial register 317. Typically, the clock of the serial register 305 ( drawing 9 ) or the serial register 317 ( drawing 10 ) is carried out so that a charge may be quickly sent out through amplifier 309. In a register 317, the Internet Fair 2001 Japan TRON cel does not return a charge to the same cel after multiplication, but a charge is always transmitted to the front next cel, and holds the clock rate of the serial register of normal.

[0040] The sensor of another format is called a frame transfer (Frame Transfer) (FT) image sensor. In this sensor, an activity area (for example, area 301) is usually divided into two partitions. An up partition receives an image including a photodetector and, on the other hand, a lower partition functions as buffer memory. A lower partition is covered from incident light. In the frame transfer sensor by this invention, the Internet Fair 2001 Japan TRON cel does not monopolize all the activity areas 301 of a sensor. According to this invention, the Internet Fair 2001 Japan TRON cel is prepared in an up partition (303 of drawing 9 ), and only a standard cell 101 ( drawing 1 ) is formed in a lower partition (318 of drawing 9 ). Since a lower partition holds the image data between read-out processings, it is usually called image memory, and on the other hand, a new image is accumulated on an up partition. A suitable interconnecting line connects a memory cell to the terminals 319 and 320 of equipment. Although the frame transfer image sensor resembles perfect frame equipment, a frame transfer sensor has the advantage that the camera incorporating this does not need a shutter. An image charge is accumulated, and if multiplication is carried out, a charge will be quickly sent to image memory and will be covered from incident light there. The charge transfer is dramatically rapid, in order to make into min the dirt of the image by the light projected on a sensor while a charge transfer advances. Subsequently, read of a charge is performed from image memory (namely, lower partition) in the same mode as performing charge read in perfect frame equipment.

[0041] The idea of the frame transfer sensor which had the standard cel 101 in the image sensing area, and had the Internet Fair 2001 Japan TRON cel only in the image memory area is also possible. However, charge multiplication increases dirt and more dark currents will be accumulated before multiplication. Probably, the same reason is applied to the equipment with which the Internet Fair 2001 Japan TRON was prepared in both image memory and an image sensing area.

[0042] However, the equipment which had the Internet Fair 2001 Japan TRON cel in the image sensing area and the serial register 317 as shown in drawing 10 has an advantage. the well of an image area -- capacity -- a limitation -- it is -- a well -- it is not possible to apply very high gain without risk of capacity being saturated to the signal of these pixels. Since gain goes up a signal beyond dark current ground noise, its suitable gain is effective. Subsequently, charge multiplication gain (full charge multiplication gain) additional [ all ] is applied to the serial register 317. a well with a desirable serial register -- designing with sufficient width of face so that it may have capacity -- a well -- a limit of capacity is conquerable.

[0043] One of the important advantages of charge multiplication is obtained by including the Internet Fair 2001 Japan TRON cel in the image sensor of the format indicated by United States patent No. 5,355,165 of cusso NOKKI (Kosonocky). The image sensor which photos dramatically a series of screens limited to United States patent No. 5,355,165 of cusso NOKKI at high speed is indicated. In application of a high-speed camera, the quantity of light which can be used for exposure of each frame is dramatically small. The problem is usually solved by illuminating the scene observed by very high luminous intensity. However, luminous intensity high in a certain case may be that the phenomenon observed is blocked, or the object observed may be damaged. The costs which an addition target does not have are added needing the lighting of high luminous intensity also at the lowest. The high-speed camera is usually equipped with image consolidation equipment to these application.

[0044] The concept of high frame rate sensing is based on the CCD sensor by which each sensitization element is equipped with the local CCD memory. Memory has a well-known serial-parallel-serial (SPS) design industrially. With reference to drawing 11 , he can understand best the sensor structure with the incorporated Internet Fair 2001 Japan TRON cel. A sensor area includes the 3x3 Internet Fair 2001 Japan TRON cel array 332 combined with the array of the phot cel 322, 3-element level register 325 combined with each phot cel 322, and each level register 325. The level register 325 contains five Standard C CD cels of a primitive cell design like 101 of drawing 1 . No interconnecting lines are shown in drawing, but only the connection 324 with a charge multiplication gate electrode and the connections 330 and 331 with a serial output register are shown. Except for the phot cel 322 being exposed, all CCD structures are covered from light. However, in order to clarify, optical electric shielding is not shown in a drawing. The 1st cel 323 of each register 325 has the capacity to receive the charge from the phot cel 322. The cel of the last of a register has the incorporated charge drain 326.

[0045] In actuation of the sensor of drawing 11 , the charge from the phot cel 322 is regularly transmitted to the 1st register element 323 of the level register 325. The clock of the level register 325 is carried out regularly, and it transmits the charge packet from photo diode 322 toward the lower part drain 326 of a register. After the level register 325 is caudad moved to three sequential charge packets, the clock of the Internet Fair 2001 Japan TRON array 332 is carried out once. This actuation moves three packets of a signal charge to the 1st train of the Internet Fair 2001 Japan TRON array. Subsequently, this processing is repeated 3 times and loading (loading) in the Internet Fair 2001 Japan TRON array is completed. After a loading cycle is completed, multiplication of the charge stored in the Internet Fair 2001 Japan TRON array is carried out by operating the Internet Fair 2001 Japan TRON cel according to the above-mentioned instruction. A sensor is [ that nine continuous image frames exposed at the very high frame rate are only stored, and ] in this example. The order of 10 million per second is possible for an exposure rate. However, if an SPS memory design is changed, it is clear to this contractor that the frame of a large quantity is further storable. How are 3-element level register 325 and the 3x3 Internet Fair 2001 Japan TRON array 332 changed? For example, probably, this contractor understands, in order to obtain the sensor which can store the frame of 4, continuous 16, or continuous 25 exposed at a very high frame rate.

[0046] Sensor read-out is the actuation which was very well alike in read-out of the perfect frame structure. In order that the Internet Fair 2001 Japan TRON array 332 and the level serial register 325 may load the output serial register 333 located in the pars basilaris ossis occipitalis of a sensor in an effective-data train, the clock of them is carried out once. At the following process, the clock of the output register is carried out continuously, it transmits all data to the detection node 329, and transmits to an output amplifier 328 from there. After all data are read from a register 333, the clock of the serial register 325 is again carried out to the Internet Fair 2001 Japan TRON array 332. This processing is repeated until all image sensors are read.

[0047] In the above-mentioned explanation, the Internet Fair 2001 Japan TRON structure is included in the sensor array of United States patent No. 5,355,165 in order to improve the sensor engine performance. Since it is brief, many details of a design and actuation are omitted. United States patent No. 5,355,165 has indicated the high-speed read-out sensor used for a different technique from the above. In the example indicated above, the technique with two polish recon gate electrode level and one virtual electrode VE is used. This contractor will understand the applicability of other same techniques.

[0048] A cel with the sensitization field isolated from the vertical charge transfer field is included in other equipment structure groups called INTARAIN transfer (Interline Transfer) (IT) structure.

[0049] In drawing 12 , the cel 401 is well alike in the basic Internet Fair 2001 Japan TRON cel shown in 201 of drawing 5 . However, in a cel 401, the channel stopper 404 of a cel 401 is dramatically broader than the channel stopper 206 of a cel 201. The additional width-of-face part of the channel stopper 404 of a cel 401 gives sufficient space to incorporate the sensitization area 406 into the width of face of the channel stopper 404. A sensitization area may be easy photo diode, photo diode with a pin (pinned photodiode), shot key barrier photo diode (schottky barrier photodiode), a photo transistor, or the sensitization element of other arbitration well-known at this technical field. The detail of such structure is not explained here. The charge accumulated on the sensitization area is transmitted to the vertical CCD channel 409 through the transfer gate 407. The transfer gate 407 is connected to the metal bus-bar 413 which supplies required clock pulse phiTG. Except for the sensitization area 406 top, as for a cel, where is covered from an incident light line. Although optical electric shielding is formed from the suitable opaque zone covered by the upper part of the cellular structure, since it is brief, it is not shown in a drawing. The polish recon gate structures 402, 403, and 408 and the cellular structure of others like the channel stopper 404 are directly equivalent to the same structure of a cel 201. The metal bus-bars 411 and 412 are useful to the same object also in a cel 401 again.

[0050] The cel 401 which is not the Internet Fair 2001 Japan TRON structure is also called an INTARAIN transfer (IT) cel, and is similarly used for the CCD image sensor of many present age. However, the improved new INTARAIN transfer structure exchanges the Internet Fair 2001 Japan TRON cel [ as / in the perfect frame sensor shown in drawing 9 ] 201 to the well-known vertical register element of a well-known INTARAIN transfer cel, forms the Internet Fair 2001 Japan TRON INTARAIN transfer cel 401 which was explained with reference to drawing 12 , and is acquired. Actuation of such a sensor is dramatically similar except for not needing the image shutter in actuation of the Internet Fair 2001 Japan TRON cel of a perfect frame sensor, and an optical camera system. Since a vertical register is covered from an incident light line, the dirt of the image between read-out is not generated. In the Internet Fair 2001 Japan TRON cel of the vertical register 409, before it is transmitted to a series-read-out register, multiplication of the charge is carried out. The pair, then same view as the perfect frame and frame transfer structure of including the Internet Fair 2001 Japan TRON cel in both a vertical CCD register and a level read-out register is applied also here. If a cel 201 is replaced and the Internet Fair 2001 Japan TRON INTARAIN transfer cel is included in frame transfer structure, new frame INTARAIN transfer (FIT) structure will be acquired.



[0051] Since the frame INTARAIN transfer structure without the Internet Fair 2001 Japan TRON cel is common knowledge at this contractor, explanation beyond this is not given. Much of other combination of the Internet Fair 2001 Japan TRON cellular structure and sensor structure is possible like the serial register arranged at both a double serial register, the upper part of an array, and the lower part. For example, when an image sensor array is constituted only from an Internet Fair 2001 Japan TRON INTARAIN transfer cel of one train, one train sensor (line sensor) is formed.

[0052] Other groups using the Internet Fair 2001 Japan TRON structure of an image sensor are groups who used the activity (pixel AP) (Active Pixel) image detector. Since it is usually made by the CMOS processing technique, generally these sensors are known as a CMOS sensor. The primary difference of CCD sensors other than a manufacturing technology and a CMOS sensor is in read-out of an image. In CCD equipment, a charge is usually transmitted to only one output detection node from each pixel of an array. This is performed by giving a suitable clock electrical potential difference to the various charge transfer gate electrodes of an array. In a CMOS sensor, a charge is sensed, and it memorizes or is amplified by directly suitable amplifier within a pixel. The output of a pixel is obtained by carrying out X-Y addressing of the pixel, and reading the amplified signal. As compared with CCD equipment, the CMOS sensor has a certain advantage. There is one example in the integral capacity of a system, and other advantages are low power consumption.

[0053] Inclusion in the activity pixel sensor of the Internet Fair 2001 Japan TRON structure is explained with reference to drawing 13. In drawing 13, one pixel 525 of an array includes the activity cel field 501 incorporating the changed Internet Fair 2001 Japan TRON cel. A cel contains the gate electrode 502 and the charge multiplication gate electrode 506. An area 505 is the virtual electrode field VE. The area of the activity pixel 525 on the outside of an active region 501 is preferably formed as a channel stopper. The Internet Fair 2001 Japan TRON cel contains the transfer gate electrode 503, n+ diffusion charge detection node 508, the reset gate electrode 504, and a drain 509 further. The activity pixel unit cell 525 contains the addressing transistor 511 further shown in the sensing transistor 510 and a graph.

[0054] actuation of the sensor of drawing 13 — setting — a photoelectrical load — storing of the lower part of the virtual electrode VE 505 — a well is piled up. after accumulation is completed — storing of the lower part of the VE field 505 — multiplication of the charge accumulated on the well is carried out like the above-mentioned by impressing the suitable Internet Fair 2001 Japan TRON clock electrical potential difference for the gate electrodes 502 and 506. After multiplication is completed, a charge is transmitted to the detection node 508 connected to the gate of the sensing transistor 510. The output node of the sensing transistor 510 is combined with the vertical sensing line 514 through the addressing transistor 511. A flow of the addressing transistor 511 combines the output signal from a sensing transistor with the vertical sensing line 514 of an array through a transistor 511. Bias of the line 514 is carried out with the current source load in the terminal. Many pixels of an array are typically connected to one train (GARAMU) sensing line (for example, train sensing line 514). The vertical-scanning circuit 521 minds a line 512, continuously, sequential—turns on two or more transistors 511, turns them off, and performs a vertical scanning. After the signal has been sensed and a transistor 511 is turned OFF again, a pulse is impressed, the gate electrode 504 is reset, and the sensing node 508 is reset to the potential of a drain 509. The period of a reset action and the drain bias line 513 descend to a suitable reset voltage level temporarily. In this way, a line 513 performs the object of a duplex. One supplies drain bias to the transistor 510 between read-out, and another supplies the criteria bias between reset actions to a drain 509. The horizontal scanning machine 519 performs the horizontal scanning of an array. A scanner supplies an instruction pulse to the horizontal scanning switch 515, and connects continuously two or more vertical sensing lines 514 to the level sensing line 516 one by one. The array amplifier 517 stores temporarily the signal which appeared in the level sensing line 516, and sends the memorized signal to the output array terminal 518. Although various deformation of the above-mentioned basic activity pixel (Active Pixel) CMOS sensor is looked at by reference, please understand the above-mentioned explanation to be mere instantiation. This invention includes all the various deformation that incorporated the Internet Fair 2001 Japan TRON structure.

[0055] Since it was brief, many detail parts were omitted from the above-mentioned explanation. For example, blooming prevention (anti-blooming) structure with a usually suitable image sensor is established. It is called a longitudinal direction overflow drain (Lateral Overflow Drain) (LOD), and one of such the structures applicable to a technique given in here is indicated by United States patent No. 5,453,632 besides high NESUKU (Hynecek). It includes in this application by considering the content as reference. Longitudinal direction overflow drain structure is arranged one of the channel stopper fields of the Internet Fair 2001 Japan TRON cel preferably shown in drawing 14. In drawing 14, a cel 201 contains the suitable (the implant was carried out) boron obstruction pad (Boron Barrier implant) 263 embedded in the bottom of the polish recon gate electrode 260 located on the channel stopper field 206, and the gate electrode 260. The gate electrode 260 contains the central opening 261 which demarcates n+ drain field. It connects with the gate electrode 260 and the drain field

264 is connected to the longitudinal direction overflow drain terminal 266 by the metal wire from there. Thus, the potential configuration where line C-C' as shown in drawing 15 was met is formed.

[0056] the suitable bias 257 ( drawing 15 ) impressed to the longitudinal direction overflow drain terminal 266 in actuation of a longitudinal direction overflow drain -- storing -- the potential barrier 256 which limits the charge accumulated on a well is formed. a photoelectrical load -- storing of the lower part of the virtual electrode VE 205 ( drawing 14 ) -- if accumulated to the level 256 decided to be a well by the bias impressed to the amount and drain 264 of the boron pad 263; an electron will begin to flow to a drain. this -- the sampling volume of a photoelectron -- a well -- it is made to make potential lower than level 256 more than a complement, and the blooming of equipment is prevented.

[0057] Other general formats of blooming prevention are vertical overflow drains (VOD). Since it is brief, the detail of known vertical overflow drain structure is omitted. It is suitable p with which this structure is typically made on the substrate 262 of n-mold, and CCD equipment is indicated to be to drawing 15 . - It is arranged at a well 265. Since this structure is effective in reduction of the bulk generating dark current (bulk generated dark current), it can be used even if a metaphor vertical overflow drain does not operate electrically. This contractor could understand that the Internet Fair 2001 Japan TRON cel 401 is equal to vertical overflow drain structure.

[0058] The example of the clock electrical potential difference concerning a substrate (0 volt (V)) about the sample (TC301) manufactured recently is as follows.

Charge sending clock: +2V and -4V;

Charge increase clock-doubling: +18V and -4V (a high level can be changed when different gain is required);

Pinning bias level: These are only instantiation and -5V, however this contractor could understand that it can adjust in other equipment or approaches.

[0059] In drawing 16 , the Internet Fair 2001 Japan TRON cel contains the 1st and 2nd gate electrode 602 and 603 which crossed it and was formed in insulation on the channel which was formed in the substrate and demarcated among the channel stoppers 604 and 606, the charge multiplication gate electrode 622, and said channel. The 1st and 2nd gate electrode 602 and 603 has the 1st and 2nd RETIKYURESHON (reticulation) which borders opening 621 through the plan of the 1st and 2nd gate electrode, respectively. The charge multiplication gate electrode 622 is insulated and arranged on the opening. The 1st and 2nd gate electrode 602 and 603 is made from the 1st and 2nd polish recon layer, respectively, and the charge multiplication gate electrode 622 is made from the 3rd polish recon layer. Cross-section D-D' which crosses the 1st and 2nd gate electrode is illustrated by drawing 17 .

[0060] In drawing 17 , an insulating material 703 is formed between them, and an adjoining polish recon gate electrode is formed so that the lap part (overlap) 704 may be made. This structure is made on a substrate 705. The 1st gate electrode 701 is made from the 1st polish recon layer, before an inter-electrode insulating material is formed. The 2nd gate electrode 702 is made from the following process from the 2nd polish recon layer. In the example shown in drawing 16 , an additional insulating layer is formed on the 2nd polish recon layer, and it is made on the structure where the charge multiplication gate electrode 622 subsequently contains the 1st polish recon layer, an inter-electrode insulating material, the 2nd polish recon layer, and other inter-electrode insulating materials from the 3rd polish recon layer.

[0061] The option which forms the Internet Fair 2001 Japan TRON gate electrode is illustrated by drawing 18 . In drawing 18 , with the gap 803 small in the meantime, it insulates from a substrate 805 by the gate dielectric layer 804, and the gate electrodes 801 and 802 are formed. The gate electrode structure formed from a flat and single polish recon deposition (deposition) layer by this is made. The multiplex gate can also form an additional polish recon layer without the adhering complicated processing by this approach. A gap is less than [ 0.1 micron width of face or it ] controllable today when high resolution lithography is available. Electric field strong thereby enough allow generating in the border area of the gate pair gate, and make activation of both of charge multiplication easy with an efficient charge transfer.

[0062] In drawing 19 , the Internet Fair 2001 Japan TRON cellular structure contains the 1st, 2nd, and 3rd gate electrode 902, 903, and 907 which crossed it and has been arranged in insulation on the channel which was formed in the substrate and demarcated among the channel stoppers 904 and 906, the charge multiplication gate electrode 922, and said channel. The 1st and 3rd gate electrode 902 and 907 is formed from the 1st polish recon layer. It is formed so that it may have RETIKYU rhe SHON (reticulations) through it, respectively. the 2nd gate electrode 903 is formed from the 2nd polish recon layer -- having -- near RETIKYURESHON of the said 1st and 3rd gate electrode -- it -- letting it pass -- a gap -- having -- the plan of the said 1st, 2nd, and 3rd gate electrode -- letting it pass -- opening 921 -- formation \*\*\*\*\* -- it is made like. The charge multiplication gate electrode 922 is formed so that it may be arranged in insulation on said opening from the 3rd polish recon. What this Internet Fair 2001 Japan TRON cellular structure is extended, and can be extended so that an additional gate electrode with the gap which is useful to the opening 921 of the lower part of the charge multiplication gate



electrode 922 may be included could understand this contractor. For example, the gate electrode 903 is divided into two isolated gate electrodes 903A and 903B, and you may make it the Internet Fair 2001 Japan TRON cellular structure of drawing 19 contain four gate electrodes.

[0063] Although the above-mentioned explanation was made mainly about p-mold silicon substrate and SiO<sub>2</sub> dielectric, it will be understood by this contractor that n-mold substrate can also be used with the ingredient of other formats, such as a gallium arsenide, mercury cadmium, and a telluride. Especially attracting high attention is Internet Fair 2001 Japan TRON INTARAIN transfer equipment which used as the base the silicon whose light side field is a platinum silicide schottky-barrier diode.

[0064] A standard light filter array and a standard small lens array are equal to the Internet Fair 2001 Japan TRON technique again, and can be formed by deposition or other approaches on the Internet Fair 2001 Japan TRON image sensor. This versatility is peculiar to the Internet Fair 2001 Japan TRON structure, and cannot be used in thermionic-tube image consolidation equipment. The Internet Fair 2001 Japan TRON cellular structure makes manufacture possible, carries out an efficient color single photon detection (SPD) image sensor in this way, and enables an important advance of the color image formation technique of the low quantity of light.

[0065] :photosensitivity field where the following be offer according to the content from which the new example be indicated; solid-state image consolidation equipment with which said carrier multiplication area have not lap in said channel stopper and anywhere including the high electric field carrier multiplication area where channel stopper; and the at least 1 section which restrict said sensitization field in part at least exist in said sensitization area.

[0066] The solid-state light-sensitive device with which the multiplication of the charge collected in said collection service area is made to be carried out in said carrier multiplication area including the phot carrier collection service area containing the semiconductor material of carrier multiplication area; which can impress :high electric field provided with the following, and can carry out induction of the impact ionization, and the 1st conductivity type according to the content from which everything but a new example was indicated, and said carrier multiplication area has not lapped in said channel stopper and anywhere.

[0067] charge storing restrained by :longitudinal direction in which the following is offered according to the content from which everything but a new example was indicated -- the carrier multiplication field which can impress well; and high electric field and can carry out induction of the impact ionization of an internal carrier -- containing -- said multiplication field -- overall -- said well -- the solid-state charge amplifying device structure which exists inside.

[0068] When [ at which the following is offered according to the content from which everything but a new example was indicated ] carried out :bias, It is not avalanche-like in at least one electrode pair; arranged so that induction of the longitudinal direction high electric field may be carried out into the volume of the depletion-ized semiconductor material, and said high electric-field field. Solid-state charge amplifying device structure including the additional equipment structure of transmitting a carrier in accordance with the trajectory which allows the impact ionization of a single event (single-event).

[0069] The process of transmitting [ through a high electric-field field ]-within :semiconductor material with which the following is offered according to content from which everything but new example was indicated-one or migration carrier beyond it; is included. Said high electric-field field is the magnification approach of the solid-state charge which is sufficient reinforcement to generate the electron of the addition proportional to the number of the electrons transmitted by producing the impact ionization of a single process, and exists in the volume of said semiconductor material with which said whole high electric-field field was depletion-ized.

[0070] When bias is carried out to both :that are provided with the following according to the content from which everything but a new example was indicated, At least one electrode pair; arranged so that induction of the longitudinal direction high electric field may be carried out into the volume of the depletion-ized semiconductor material is included. When said electrode pair fully approaches the volume of said depletion-ized semiconductor material, and is located and bias is carried out on such a high electrical potential difference that said electrode pair is enough to start impact ionization to said semiconductor material, Structure of a solid-state charge amplifying device where the field of the electric field of sufficient height to start impact ionization is fully small, and the probability of an avalanche is zero substantially.

[0071] It is a sensor containing at least one cel. : which is provided with the following according to the content from which everything but a new example was indicated -- The channel by which each cel was formed in the substrate; the sensor containing said at least one cel containing the charge multiplication gate electrode prepared in said gate electrode structure; [ by which it was crossed, it has been arranged in insulation and opening was formed on said channel ], and opening top, and the interior in insulation.

[0072] 1st, 2nd, and 3rd gate electrode; is included at least. according to the content from which everything but a new example was indicated, on channel; charge multiplication gate electrode; formed in :substrate with which

the following is offered, and said channel, it was crossed and it has been arranged in insulation -- It has RETIKYURESHON. the said 1st and 3rd gate electrode -- each -- Said 2nd gate electrode is a sensor by which it has a gap so that RETIKYURESHON of said 1st and 3rd electrode may be approached and opening may be bordered through it, and said charge multiplication gate electrode is arranged in insulation on said opening and to the interior.

[0073] The obstruction which exists between wells is decreased. according to the content from which everything but a new example was indicated -- the following storing -- the lower part of :charge multiplication gate electrode with which the approach of carrying out multiplication of the charge of a well is offered -- multiplication -- forming-well; -- said storing -- a well and multiplication -- The charge with which said first charge combined with the charge of said addition, and multiplication was carried out is constituted. said storing -- the charge stored in the well -- said obstruction -- exceeding -- multiplication -- making [ it is transmitted to a well and / generate an additional charge by impact ionization ]; -- the charge by which multiplication was carried out -- said multiplication -- said storing from a well -- said storing including each process of transmitting-to well; -- the approach of carrying out multiplication of the charge of a well.

[0074]

[Correction and deformation] The range of the theme which a new concept given in this application is made as for rear-spring-supporter correction and modification to very much applicability, therefore is patented is not limited to what kind of specific instantiation-instruction so that this contractor may understand.

[0075] For example, the indicated carrier multiplication structure is not limited to the range of the above-mentioned image formation equipment structure, and is applied to other structures.

[0076] As other examples, the indicated carrier multiplication structure is not limited to image consolidation equipment, but is applicable also to the charge magnification in other circuit relation like charge field signal processing or radiation detection.

[0077] It is possible to control the number of pulses which uses this technique, and changes the electrical potential difference of a multiplication gate electrode, or is used for a magnification cycle, and to control magnification. These both can control by the sensor chip externally. Especially this is useful to the color image formation [ as / in a certain example to mean ] which can apply a separate magnification multiplier to three color channels.

[0078] In any of a publication of this application, it should not be thought that they are a certain specific element, a process, or the indispensable requirements in which a function must be included in the range of a claim. The range of the patent theme is demarcated by only the permitted claim. furthermore, after the vocabulary "means for" with exact all of these claims parteciple since it continues -- if -- an United States patent method -- there is no intention depending on the paragraph 6 of the 112nd article.

[0079] This application asserts the priority of the U.S. preliminary application numbers 60/151,370 of application on August 30, 1999. It includes in this application by considering the content of this preliminary application as reference.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** The plan of a representation target's known CCD cel is shown in the conventional technique.

**[Drawing 2]** The cross section of the standard cel of drawing 1 is shown with the change configuration of the potential used for explanation of charge transfer processing.

**[Drawing 3]** It is shown with the change configuration of the cross section and the potential of the direction in two different gate bias conditions of the standard cel in alignment with line B-B' of drawing 1.

**[Drawing 4]** The illustration of the detail cross section of a channel stopper field and the beginning of dark charge generating by electron hole impact ionization processing is shown.

**[Drawing 5]** The plan of the general Internet Fair 2001 Japan TRON unit cell by this invention.

**[Drawing 6]** The cross section of the Internet Fair 2001 Japan TRON cel shown in drawing 5 is shown with the change configuration of potential in the gate bias conditions that plurality differs of corresponding.

**[Drawing 7]** The common timing chart form which shows three different cycles of impact cel timing is shown.

**[Drawing 8]** The common timing chart side which shows the model of the charge multiplication processing used for induction of the formula of the charge multiplication noise by this invention is shown.

**[Drawing 9]** The block diagram side which shows the configuration of a perfect frame image sensor and a frame transfer CCD image sensor.

**[Drawing 10]** The plan of another serial register by this invention.

**[Drawing 11]** The block diagram side which shows the configuration of a high-speed CCD sensor including the Internet Fair 2001 Japan TRON cellular structure.

**[Drawing 12]** The plan of the INTARAIN transfer image CCD sensor unit cell incorporating the Internet Fair 2001 Japan TRON structure by this invention.

**[Drawing 13]** The drawing in which the circuit relevant to the plan of the unit cell of the array of the activity pixel CMOS image sensor incorporating the Internet Fair 2001 Japan TRON structure by the instantiation-example is shown.

**[Drawing 14]** The plan of the general Internet Fair 2001 Japan TRON unit cell incorporating longitudinal direction overflow drain blooming prevention structure.

**[Drawing 15]** The drawing in which the change configuration of the cel potential of the sectional view in alignment with profile line C-C' and direction of the cel of drawing 14 is shown.

**[Drawing 16]** The plan of another Internet Fair 2001 Japan TRON cellular structure by this invention.

**[Drawing 17]** 2-Pori which shows the field with which the gate of the Internet Fair 2001 Japan TRON cel laps, the sectional view of 2-gates structures.

**[Drawing 18]** Another flat single-Pori in the Internet Fair 2001 Japan TRON cel, the sectional view of multiplex-gate structure.

**[Drawing 19]** The plan of another NOIMPAKU TRON cellular structure by this invention.

**[Description of Notations]**

101 Unit Cell

102, 103, 202, 203, 222 Gate electrode

104, 106, 204, 206 Halt field

105 205 Virtual electrode field

112, 212, 705, 805 Semi-conductor substrate

118 Gate Dielectric

119 Electron Hole

201, 332, 401 The Internet Fair 2001 Japan TRON cel

204, 206, 404, 604, 606 Channel stopper

904 906 Channel stopper

211 Impurity Range  
217 218 Dielectric layer  
221 Opening  
264 Drain  
301 501 Active region  
302 Periphery Field  
303 Cel Array  
304 Interface  
305, 317, 325, 333, 409 Register  
307 Detection Node  
309 328 Amplifier  
322 Phot Cel  
402, 403, 408, 502, 503, 504 Gate electrode  
506, 602, 603, 622, 701, 702 Gate electrode  
801, 802, 902, 903, 907, 922 Gate electrode  
406 Optical Detection Field  
407 Transfer Gate  
409 CCD Channel  
508 Detection Node  
509 Drain  
519 521 Scanner  
525 Pixel

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-127277

(P2001-127277A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 27/148		H 0 4 N 5/335	E
27/146			U
31/107		H 0 1 L 27/14	B
H 0 4 N 5/335			A
		31/10	B
審査請求 未請求 請求項の数35 O L (全 23 頁)			

(21)出願番号 特願2000-259520(P2000-259520)

(22)出願日 平成12年8月29日(2000.8.29)

(31)優先権主張番号 1 5 1 3 7 0

(32)優先日 平成11年8月30日(1999.8.30)

(33)優先権主張国 米国 (US)

(31)優先権主張番号 4 8 9 3 4 7

(32)優先日 平成12年1月21日(2000.1.21)

(33)優先権主張国 米国 (US)

(71)出願人 500406089

イゼテックス、インコーポレイテッド  
アメリカ合衆国、テキサス、リチャードソ  
ン、ティファニィ トレイル 608

(72)発明者 ヤロスラブ ハイネセック

アメリカ合衆国 テキサス、リチャードソ  
ン、ティファニィ トレイル 608

(74)代理人 100066692

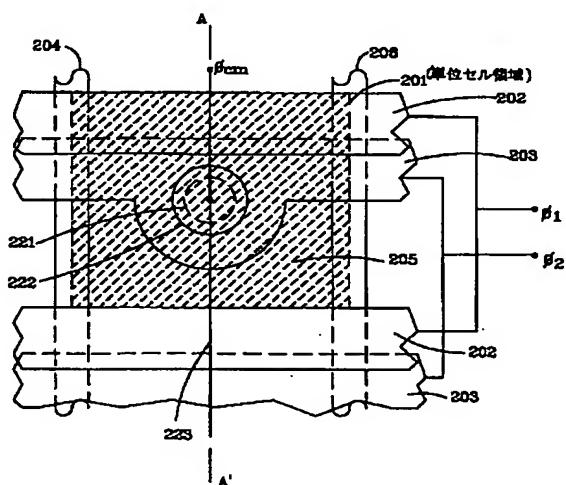
弁理士 浅村 皓 (外3名)

(54)【発明の名称】 半導体像強化装置

(57)【要約】

【課題】 暗電流雑音に対する改良された防止効果を与える固体キャリア増倍段とその方法、及びその増倍段を組み込んだセンサを提供すること。

【解決手段】 空乏化された半導体容積（例えば光センサの電荷集積区域）内に全体が存在する高電界区域を通る通路がなだれ無しに単一段、衝撃イオン化を与えるのに使用される電荷増幅装置にして、前記高電界区域を前記移動キャリアの領域から隔離して暗電流雑音の発生を最小にした前記電荷増幅装置並びにそれを組み込んだセンサ、及び格納ウエルの電荷を増倍する方法にして、電荷増倍ゲート電極の下方に増倍ウエルを設け、電荷が格納ウエルから増倍ウエルに転送される間に高電界を受けて単一段、衝撃イオン化により追加の電荷を発生し、追加の電荷を最初の電荷に付加して増倍電荷を形成する、ようにした前記方法。



## 【特許請求の範囲】

【請求項 1】 感光性区域；少なくとも 1 部前記感光区域を限定するチャンネル・ストッパ；少なくとも 1 部前記感光性区域内に存在する高電界キャリア増倍区域；を備え、前記キャリア増倍区域が何処においても前記チャンネル・ストッパの上方に存在しないようになった、固体像強化装置。

【請求項 2】 前記キャリア増倍領域が 1 対の絶縁された電極の間の横方向間隙により画定されている、請求項 1 に記載の固体像強化装置。

【請求項 3】 前記キャリア増倍領域が完全に空乏化された半導体容積内に位置している、請求項 1 に記載の固体像強化装置。

【請求項 4】 衝撃イオン化を誘起するため高電界が印加できるようになったキャリア増倍区域；第 1 の導電型の半導体材料を含む、光キャリア集積区域；前記集積区域に集積された電荷が前記増倍区域において増倍されるようにした装置の構造；を備え、前記キャリア増倍区域が何処においても前記チャンネル・ストッパの上方に存在しないようになった、固体感光装置。

【請求項 5】 前記キャリア増倍領域が 1 対の絶縁された電極の間の横方向間隙により画定されている、請求項 4 に記載の固体感光装置。

【請求項 6】 前記キャリア増倍領域が完全に空乏化された半導体容積内に位置している、請求項 4 に記載の固体感光装置。

【請求項 7】 横方向に拘束された電荷格納ウェル；と前記ウェル内にキャリアの衝撃イオン化を誘起するように高電界が印加されるキャリア増倍領域；を含み、前記増倍領域が完全に前記ウェル内に存在している、固体電荷増幅装置構造。

【請求項 8】 前記キャリア増倍領域が 1 対の絶縁された電極間の横方向間隙により画定されている、請求項 7 に記載の固体電荷増幅装置構造。

【請求項 9】 前記キャリア増倍領域が完全に空乏化された半導体容積内に位置する、請求項 7 に記載の固体電荷増幅装置構造。

【請求項 10】 少なくとも 1 対の電極にして、バイアスされたとき空乏化された半導体材料の容積内に高い横方向電界を誘起するように配置された前記少なくとも 1 対の電極；前記高い電界領域内で単一事象の衝撃イオン化は許すが、なだれ事象は許さない通路に沿ってキャリアを転送する追加の装置構造；を含む、固体電荷増幅装置構造。

【請求項 11】 少なくとも 1 対の電極にして、互いにバイアスされたとき空乏化された半導体材料の容積内に高い横方向電界を誘起するように配置された前記少なくとも 1 対の電極；を含み、前記電極対が互いにバイアスされたとき前記半導体材料に衝撃イオン化を許すように前記電極対は前記空乏化半導体材料に十分に近接して位

置し、前記衝撃イオン化を許すほど前記電界が十分に高い領域が十分に小さく、なだれの確率が実質的にゼロである、固体電荷増幅装置構造。

【請求項 12】 少なくとも 1 つのセルを含むセンサにして、前記セルが、基板に形成されたチャンネル；前記チャンネルの上にそれを横切って絶縁的に配置され、開口の形成されたゲート電極；前記開口の上及び中に絶縁的に設けられた電荷増倍ゲート電極構造；を含む、前記センサ。

10 【請求項 13】 各セルの前記ゲート電極構造が第 1 の開口ゲート電極を含み、該開口ゲート電極がそれを貫通して形成された開口をもつ、請求項 12 に記載のセンサ。

【請求項 14】 各セルの前記ゲート電極構造が第 1、第 2 の開口ゲート電極を含み、前記第 1、第 2 の開口ゲート電極がそれぞれ開口を縁どるようにその中に第 1、第 2 のレティキュレーションをもっている、請求項 12 に記載のセンサ。

20 【請求項 15】 前記各セルがさらに、転送ゲート、前記転送ゲートを介して前記チャンネルに結合された光検出器、及び前記チャンネルの上に前記光検出器が光に露出されるように前記光検出器を囲んで設けられた光遮蔽、を含む、請求項 12 に記載のセンサ。

【請求項 16】 各セルの前記光検出器がピン付けされたホットダイオードとショットキバリアダイオードの 1 つを含む、請求項 12 に記載のセンサ。

30 【請求項 17】 各セルがブルーミング防止構造を含み、前記ブルーミング防止構造が横方向オーバフローラインと垂直オーバフローラインの 1 つを含む、請求項 12 に記載のセンサ。

【請求項 18】 各セルがさらに；転送ゲート；光電荷を積分できる光検出器；を含み、前記光検出器が前記ブルーミング防止構造に結合され、前記転送ゲートを介して前記チャンネルに結合されている、請求項 12 に記載のセンサ。

40 【請求項 19】 前記少なくとも 1 つのセルが複数のセル；を含み、前記センサが前記複数のセルを含む完全フレーム区域像センサと前記複数のセルを含むフレーム転送区域像センサの 1 つである、請求項 12 に記載のセンサ。

【請求項 20】 前記少なくとも 1 つのセルが複数のセルを含み、前記センサが前記複数のセルを含むインタライン転送区域像センサと前記複数のセルを含むフレームインタライン転送区域像センサの 1 つである、請求項 12 に記載のセンサ。

【請求項 21】 前記少なくとも 1 つのセルが複数のセルを含み、前記センサが前記複数のセルを含む時間遅延積分センサと前記複数のセルを含む行列配列センサの 1 つである、請求項 12 に記載のセンサ。

50 【請求項 22】 前記少なくとも 1 つのセルが複数のセ

ルを含み、前記センサが前記複数のセルを含む活性画素 CMOS センサである、請求項 12 に記載のセンサ。

【請求項 23】 前記少なくとも 1 つのセルがセルの配列を含み、前記センサがさらに光検出器と、前記セルの配列と前記光検出器の間に結合された CCD レジスタを含む、請求項 12 に記載のセンサ。

【請求項 24】 前記セルの配列が M 列 × N セルに組織され、前記 CCD レジスタがさらに複数のレジスタ要素をふくみ、前記光検出器が前記 CCD レジスタに結合されて電荷を前記光検出器から前記 CCD レジスタの各レジスタ要素に時間系列に転送し、前記 CCD レジスタが前記セルの配列に結合されて 1 列の電荷パケットが前記 CCD レジスタの M 個のレジスタ要素から前記セル配列の M 列の各列の第 1 のセルに並列に転送される、請求項 12 に記載のセンサ。

【請求項 25】 前記少なくとも 1 つのセルが複数のセルを含み、前記センサがさらにカラーフィルタマトリックス、細片状のフィルタ、及び前記複数のセルの上に配設されたマイクロレンズの配列の 1 つを含む、請求項 12 に記載のセンサ。

【請求項 26】 前記センサが直列の読出しレジスタを含み、各セルが前記直列の読出しレジスタの要素である、請求項 12 に記載のセンサ。

【請求項 27】 各セルの前記ゲート構造が第 1 の開口ゲート電極を含み、前記開口ゲート電極の 1 つがそれを貫通する開口をもち、各セルの前記ゲート電極構造がさらに第 2 の開口ゲート電極を含み、前記第 1、第 2 の開口ゲート電極がそれぞれ前記開口を縁どる第 1、第 2 のレティキュレーションをもつ、請求項 12 に記載のセンサ。

【請求項 28】 さらに電荷増倍信号の印加される電荷増倍ゲート電極に結合された電荷増倍端子と、クロック信号の印加される第 1 の開口ゲート電極に結合されたクロック信号端子を含み、前記クロック信号と前記電荷増倍信号が協同して衝撃イオン化による電荷増倍を起こすようにした、請求項 12 に記載のセンサ。

【請求項 29】 前記クロック信号と前記電荷増倍信号は、前記電荷増倍信号が該電荷増倍信号に対する最大正バイアスに安定され、前記クロック信号が該クロック信号に対する最大負バイアスから最大正バイアスに転移するとき衝撃イオン化による電荷増倍を起こすように時間が制御される、請求項 12 に記載のセンサ。

【請求項 30】 前記クロック信号と前記電荷増倍信号は、前記クロック信号その最も負のバイアスに安定し、前記電荷増倍信号がその最も正のバイアスに安定するとき第 1 の状態を画定するように時間が制御され、前記クロック信号と前記電荷増幅信号は、前記クロック信号がその最も負のバイアスからその最も正のバイアスに転移し、前記電荷増倍信号がその最も正のバイアスに保持されるとき第 1 の状態から第 2 の状態に転移するように時

間が制御され、前記第 1 の状態から第 2 の状態への転移が衝撃イオン化による電荷増倍を起こすようにした、請求項 12 に記載のセンサ。

【請求項 31】 基板上に形成されたチャンネルと；前記チャンネルの上にそれを横切って絶縁的に形成された少なくとも第 1、第 2、第 3 のゲート電極と；を含み、前記第 1 と第 3 の電極がそれぞれその中にレティキュレーションをもち、前記第 2 の電極は前記第 1、第 3 のゲート電極のレティキュレーションに近接してそれを通して間隙が開口を縁どるように形成されており、前記電荷増倍ゲート電極は前記開口の上及び中に絶縁的に配置される、センサ。

【請求項 32】 半導体材料の中で、高電界領域を通して 1 つまたは複数の移動キャリアを転送すること；の工程を含み、前記高電界領域は単一工程衝撃イオン化を起こし、それにより転送される電子の数に比例して追加の電子を発生させ、前記高電界領域は全体が前記半導体材料の空乏化された容積の中に存在している、固体電荷を増幅する方法。

【請求項 33】 格納ウエルの中の電荷を増倍する方法にして、電荷増倍ゲート電極の下に増倍ウエルを形成すること；前記格納ウエルと前記増倍ウエルの間に存在する障壁を小さくして、前記格納ウエルに格納されている最初の電荷が前記障壁を越えて前記増倍ウエルに転移して、衝撃イオン化により追加の電荷が発生し、前記最初の電荷に前記追加の電荷が結合して増倍された電荷を構成するようにすること；及び前記増倍された電荷を前記増倍ウエルから前記格納ウエルに転送すること；の各工程を含む、前記電荷を増倍する方法。

【請求項 34】 さらに、前記増倍ウエルを形成すること、前記障壁を小さくすること、及び前記増倍された電荷を転送すること、の工程を複数サイクル繰り返すこと、を含む請求項 33 に記載の方法。

【請求項 35】 前記複数サイクルが 50 から 5000 の範囲のサイクル数を含む、請求項 33 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の背景及び概要】本出願は固体像強化装置（イメージインテンシファイア）、特に標準の半導体集積回路製造方法を用いた半導体基板の一片にモノリシック形状に形成された像強化装置に関する。特に、本発明は単一キャリア衝撃イオン化（single carrier impact ionization）による電荷増倍を利用した固体像感知（イメージセンサ）／強化装置（インテンシファイア）に関する。

【0002】像強化装置（または“II”）は各画素毎に少数または単一の光子により形成される像を、各画素毎に多数の電子により形成される像に実質的な雑音を付



加すること無しに変換する能力をもった像感知装置である。これは、画素毎に多くの電子により形成される像信号は検出および処理が容易であるので、多くの低い光レベルの像応用において有利である。1つでなく、多数の電子を含む信号は常に電荷検出器およびシステムの基礎雑音 (noise floor) より高く維持することができる。

【0003】従来、像強化装置は真空管装置を用いていた。そのような装置において、像は適当な光電陰極上に投射され、自由光電子はそのアノードへの工程において増倍される。使用される代表的な増倍方法は電子が感知される前の数百または千倍に増倍されるマイクロチャネル (micro-channel) の概念に基づいている。結果的に増倍された像電荷は適当なアノード観察スクリーン上に走査されるか、または直接表示される。そのような装置は現在軍隊の夜間監視鏡や他の低い光レベルの像感知カメラに用いられている。これらの装置は、優れた機能を達成し低い電力消費と非常に高い感度のような多くの好ましい特徴をもっているが、一方容易に克服できない好ましくない特徴ももっている。真空管技術はそれ自身低コスト・多量生産、重要な小型化、色感知、及び今日の最新のデジタル像処理装置との容易な接続に適しているものでない。真空管強化装置はまたその動作に高い電圧を必要とする。上記のこれら及び他の理由により、最近の研究努力は標準の半導体製造技術を用いて製造できる像強化装置の開発に向けられてきた。

【0004】ハイブリッド方法を用いたそのような作業の例が、1999、IEEEの電荷結合装置及び進歩した像センサに関する作業部会 (1999年6月10-12日、日本、長野県、軽井沢) の会報、R33のテイ、ワタベ他による “HARP光変換層によるCMOSセンサの被覆層 (CMOS Image Sensor Overlaid with HARP Photoconversion Layer)” に記載されている。その内容を参考として本願に含める。

【0005】固体半導体基板に一体に (monolithically) 且つ直接作られた像強化装置の考えの他の例が、ハイネスク (1994) (Hynecek) の米国特許第5、337、340号に記載されている。その内容を参考として本願に含める。

【0006】ロウ (Lou) の米国特許第4、912、536号には更に他の適当な基板に形成された3つの近接したMOSゲートをもった集積及び増倍光検出器を代表する非写像装置 (non-imaging device) を開示している。第1のゲートは空乏ウェルが光電荷 (photocharge) の集積の下に形成されるようにバイアスされる。第2のゲートは集積ウェルを第3のアバランシゲートの下に形成されるなだれ (アバランシ) ウェルから隔離する転送ゲートである。第3のゲートがアバランシ準備状態にバイアスされた後第2のゲートが開放され、集積ウェルからの集積電荷がアバランシウェルに転送される。この電荷転送処理の間に、電荷はアバランシ処理と関連する増倍

係数により増幅を受ける。

【0007】CCDまたはCMOSによる装置のような既知の一体構造の像センサは解像度、感度、雑音及び小型化において高い性能を達成した。これらセンサを使用してフィルムと充分に対抗しているカムコーダ (Camcorder) 及び一般のデジタル静止カメラ (DSC) は、これらセンサ無しには可能でないであろう。しかし、価格競争のため必要なチップのサイズを小さくするには、画素サイズの減少が必要である。不幸にして、画素サイズを減少すると、感度の減少、それによるS/N比の減少が関連して避けることが出来ない。S/N比の減少は固定的な電荷検出器の基礎雑音によるもので、容易に減少することができない。チップ上の電荷検出器の基礎雑音を単一電子またはそれ以下に減少することは困難と思われる。従って、米国特許第5、337、340号に記載されている電荷増倍の概念は、電荷増倍は雑音を大きく増加すること無しに感度を改良することができるので、像強化技術内において競合的性能上の優位を達成することの期待を与える。

【0008】米国特許第5、337、340号は半導体およびそのCCD像感知装置への応用におけるキャリア増倍の基本的概念を教示する。光子が画素に投射され電子に変換されると、発生した電子は高電荷領域を介してCCD態様で転送され衝撃イオン化 (impact ionization) を起こす。衝撃イオン化は新しい電子-正孔対を発生して、当初の電子の数を増加する。通常、電子の転送当たり1より大きな数の新しい電子-正孔対の発生はないので、なだれ (アバランシ) 増倍は決して発生しない。これが特許第5、337、340号に記載の概念が特許第4、912、536号に記載の概念から区別される特徴の1つである。衝撃イオン化のプロセスは比較的雑音が少ないので、光子発生による電荷信号は信号対雑音比 (S/N) を減少すること無しにシステムの基礎雑音以上に増加できることを、理論的に説明できる。対象的に、なだれ現象は雑音のプロセスである (衝撃イオン化は2次キャリアを発生し、2次キャリアはそれ自身さらに2次キャリアを発生する)。

【0009】特許第5、337、340号に記載されている一般的概念は堅実なものであるが、最近の更なる実験によりこの方法の基礎雑音について新しいデータが分かった。ハイネスク (Hynecek) の “小さな画素CCD画像センサにおける電荷検出に適したCCM-Aの新しい低雑音電荷キャリア増倍装置 (CCM-A New Low-Noise Charge Carrier Multiplier Suitable for Detection of Charge in Small Pixel CCD Image Sensor)” 39 IEEE 電子装置に関する会報1972 (1992) を参照されたい。モノリシック固体像センサによる単一光子検出 (SPD) はかくして望ましい目標として依然存在する。

【0010】図1、2は、最終誘電体層の上塗り (オー

バーコート)と金属パターンの形成の工程を実施する前の、代表的なCCD像センサに使用されるCCD単位セル101の上面図と断面図を示す。図1において、チャンネル・ストップ領域104、106はY方向に電荷を拘束し、一方ゲート電極102、103は仮想電極(Virtual Electrode)(VE)領域105と共にX方向に電荷を拘束する。CCDチャンネルはチャンネル・ストップ104、106の間に画定される。クロック信号f1、f2を物理的構造(physical structures)に与える電気相互接続線は記号的に示される。ゲート電極102、103に適当なバイアスを与えることにより電荷はCCDチャンネルの上下に転送(transferred up or down)される。領域107、108における各種ゲートバイアスによる電位形状及びその結果の電荷転送処理が図2に示される。領域107、108の電位はレベル150から152に変化し、VE領域の電位は固定レベル151に保持される。完全にするため、装置のY方向断面図を図3に示し、チャンネル・ストップ領域の詳細115を図4に示す。図1、2の領域及び構造102乃至112、116、117、118は図5、6の領域及び構造202乃至212、215、217、218に直接対応し、これらについては後に詳述する。

【0011】背景電荷(Background charge)の発生は図4を参照して最も良く理解される。ゲート電極103に与えられるバイアスが低いとき、正孔119は半導体基板112とゲート誘電体118の間の界面(インターフェース)に捕捉(トラップ)される。ゲート電極103に与えられるバイアスが低レベルから高レベルに変化するとき、界面に捕捉された正孔119は急激に解放され加速される。捕捉された正孔は空乏領域境界の位置が113から114に変化することにより露出される。加速された正孔がエネルギーを得ると、衝撃イオン化を起こし、電子120を発生する。殆ど全てのCCD装置は図1に示されるようにゲート電極102、103がチャンネル・ストップ104、106とオーバーラップする(重なる)形態をもっているため、望ましくない電荷の発生を防ぐことは容易でない。これは単に1つの例を示す図1の構造や、2より多いゲート電極をもちVE領域をもたない他のより一般的なCCD装置にも同様に当てはまる。VE領域をもち、多数または単一のゲート電極をもつ装置は、領域102と105の間及び領域103と105の間の界面における背景電荷の発生という付加的問題をもつ。

【0012】最近のCCD装置において、像積分期間に発生する暗電流を低くするため正孔は通常意図的に基板一誘電体の境界に引きつけられる。界面における正孔の捕捉は背景電荷の発生と対応する雑音を起こすので、従来技術により像強化動作が如何に達成されるかを知るとは困難である。また、非常に小さく、従来の設計技術を用いて作られたCCD装置において背景電荷の発生な

しに像強化動作を達成することもまた困難である。

【0013】従来技術は、電荷増倍電極がその上に配置される開口の形成されたゲート電極構造を開示していない。従来技術はまた、格納ウエルの最初に検出された電荷をなだれ処理に代えて単一キャリア衝撃イオン化処理(single-carrier impact ionization process)により増倍する方法を開示していない。従来技術は、有意の増倍ゲインを暗雑音の発生無しに単一セル内で電荷を繰返し前後に転送することにより達成する方法、またはCCD態様に一緒に結合された多数のセルを用いて達成する方法を開示していない。従来技術は、1つのセル内における増倍転送の回数を制御することにより外部的にプログラム可能な電荷ゲインを達成する方法を開示していない。

【0014】

【半導体像強化装置】本発明者はハynesケの特許第5、337、340号に記載の装置の基礎雑音はキャリア増倍領域における高電界とチャンネル・ストップとの結合を最小にすることにより改良できることを発見した。本出願は従って上記結合が減少し雑音性能が改良される各種構造を開示する。多くの実施例において、高電界領域はセル領域に存在しチャンネル・ストップと転送障壁により横方向が限定されるが、チャンネル・ストップの上方には何処にも存在しない。好ましくは高電界領域は全て空乏化された半導体容積内に存在する。

【0015】本願は暗電流雑音に対する改良された防止効果(immunity)を与える改良された固体キャリア増倍段とこの増倍段を組み込んだ画像チップを開示する。各種実施例において、本願は背景電荷の発生無しに作動する実用的な電荷増倍画素(charge multiplication pixel)を開示する。上記及び他の目的は、基板に形成されたチャンネル、前記チャンネル上に該チャンネルを横切って絶縁的に配置され且つ開口の形成されたゲート構造、及び前記開口の上に絶縁して配置された電荷増倍ゲート構造を含むセンサのセルにより達成される。1つの実施例において、ゲート電極構造は貫通孔の設けられた第1の開口ゲート電極を含む。他の実施例において、ゲート電極構造は第1、第2の開口ゲート電極を含み、それぞれ前記開口を囲むように形成された第1、第2のレチキュレーション(reticulations)をもっている。別の実施例は3またはそれ以上のゲート電極を含み、それを通して開口が形成されている。

【0016】別の実施例には格納ウエルに集積された電荷を増倍する方法が開示され、この方法は、電荷増倍ゲートの下に増倍ウエルを形成し、電荷転送ゲートの下に電位障壁を形成し、前記電位障壁は前記格納ウエルに最初に格納される電荷が該障壁を越えて増倍ウエルに転送されるまで低くされる。転送された電荷は単一キャリア衝撃イオン化を起こし最初に転送された電荷を増倍する。上記方法はさらに増倍された電荷を前記増倍ウエル

から格納ウエルに戻す工程、または増倍された電荷を CCD 態様でそれに結合された隣接のセルの格納ウエルに転送する工程を含む。

【0017】開示された発明 (innovations) は、各種実施例において少なくとも下記の利点の 1 つまたは複数を与える：・像センサのホトセルまたは光検出器の画素の電荷ゲインはチップに外部から付加される電子信号によりプログラムまたは制御できる。(これは、増倍ゲート電極の電圧を変更することにより、または増倍サイクルに使用されるパルスの数を制御することにより電荷増倍を制御することができるからである。)・各種構造の何れにおいても、実際に高性能のモノリシック固体像強化装置 (SSII)。

【0018】開示された本発明を、本発明の重要な例示の実施例を示す添付の図面を参照して説明する。

【0019】

【好ましい実施例の詳細な説明】本願の各種の新規な技術を現在の好ましい実施例 (例示として、それに限定されるものでない) を特に参照して説明する。

【0020】図 5、6 において、インパクトロン (IMPACTRON) セル 201 が線 A-A' に沿った対応する断面と共に上面図に示される。図 5 において、チャネル・ストッパ領域 204、206 は Y 方向に電荷を拘束し、ゲート電極 202、203 は仮想電極 (Virtual Electrode) (VE) 領域 205 と共に電荷を X 方向に拘束する。クロック信号  $f_1$  と  $f_2$  を物理的構造 (physical structure) に与える電気的相互接続線は図式に示される。

【0021】図 1、2 の構造には含まれない図 5、6 の構造の特徴は CCD チャネルのほぼ中心にゲート電極 203 に開口された円形の開口 221 である。ゲート電極 202 の形成に用いられたのと同じ材料がゲートの開口領域 221 を被覆する。しかし、同じ材料を使用することは本装置の正確な機能のために必ずしも必要ではない。形成されるゲート 222 は電荷増倍 (Charge Multiplication) (CM) と呼ばれ、金属線 223 に接続され、最終的に図 5 に図式に示される電荷増倍クロック信号  $\phi_a$  により駆動される装置の端子に接続される。

【0022】セルは標準の半導体 p-型基板 212 上に構成される。前記基板は便宜的に最初  $10^{15} \text{ cm}^{-3}$  のオーダでドーピングされたシリコンとする。CCD チャネルを形成する適当な n-型不純物領域 211 が基板の表面付近に拡散またはイオン注入とアニーリングにより形成される。これらの工程はこの産業分野において一般的であるので詳細な説明はしない。上記領域の不純物濃度は  $10^{17} \text{ cm}^{-3}$  のオーダ、層の厚みは  $0.3 \mu\text{m}$  (300 オングストローム) のオーダである。

【0023】適当な誘電体層 218 が基板上に堆積または成長される。これは例えば厚み  $0.03 \mu\text{m}$  (300 オングストローム) の 2 酸化シリコン  $\text{SiO}_2$  である。セ

ルは好ましくはさらに層 218 の上に配置される他の誘電体層 217 を含む。例えば  $0.03 \mu\text{m}$  (300 オングストローム) 厚みの窒化シリコン  $\text{Si}_3\text{N}_4$  の堆積によりそのような層が形成される。層 217 は通常製造の都合と既知の方法との適応性のため使用される。これは正当なインパクトロンセル機能のためには必要でない。

$0.005 \mu\text{m}$  (50 オングストローム) のオーダの他の薄い誘電体層を製造上の都合で層 217 の上に形成しても良いが、図示されていない。

【0024】インパクトロンセルは更に領域 202、203、222 により形成されるゲート電極構造を含む。これらの層のゲート材料は適当にドーブされた多結晶シリコン (ポリシリコン) で、ゲート電極 202、203 の厚みはそれぞれ  $0.4$  及び  $0.15 \mu\text{m}$  (4000 及び 1500 オングストローム) である。ゲート 203 はゲート 202、222 から薄い誘電体層 216 により隔離される。この誘電体層はゲート 203 の上部が側部よりはるかに厚い。上部の厚い誘電体層は  $0.25 \mu\text{m}$  (2500 オングストローム) のオーダで、ゲート 202 と 203 の間の寄生容量を実質的に減少するが、構造 203 の側部の誘電体の厚みは電界と電極間の絶縁破壊電圧を制御するのに重要である。図 5、6 に図示されるセルは p+型のドーブ領域 209 と適当な n-型のドーブ層 210 により形成された仮想電極 (VE) 領域 205 を含む。図 5、6 に示されるセルが製造された後、図示されない幾つかの誘電体層とパターンに作られた金属層がそれに付加される。これらの構造は必要な電気的相互接続、金属-金属絶縁及びチップ全体の傷防止を容易にする。そのような層はこの産業分野で一般的に使用されるが、セルの機能には重要でないので説明を省略する。

【0025】図 5 に示されるゲート電極 203 の半円形と円形開口 221 がゲート電極 203 と 222 の間の電界の均一性のため重要である。しかし、この分野で熟練した者には開口 221 は機能の損失なく楕円形、長円形、あるいは多角形に形成することができることが分かるであろう。電界の均一性の制御と高電界領域のチャネル・ストッパからの隔離がインパクトロンセル設計の重要な利点である。

【0026】背景電荷の発生の無いインパクトロンセルの動作は図 6 に示される電位図形と図 7 に示されるセルの時間図形を参照して説明できる。セルの全時間サイクルは 3 つの基本間隔：積分時間間隔  $\tau_i$ 、電荷増倍時間間隔  $\tau_a$  及び電荷転送時間間隔  $\tau_m$  に分割される。積分時間の間 3 つのゲート電極 202、203、222 は全て図 6 に示される電位レベル 250 に対応する最も負のレベルにバイアスされる。このバイアスによりゲートの下方の表面電位が基板にピン止め (pinned) されるので、このレベルをピンングレベル (pinning level) と呼ぶ。この時間間隔の間、p+チャネル・ストッパ 20

4、206及びp+VE領域205から正孔がゲートの下方に流れ界面準位(interface state)を満たす。これにより、過剰の暗電流の発生が停止する。積分期間が完了し、1つまたは数個の光電子がVE領域205に位置する積分電位ウェル(integrating potential well)に集積されると、ゲート電極203、222のバイアスは図6に示される電位レベル255に対応する値に増加する。これが電荷増倍期間の開始を示す。

【0027】電荷増倍期間 $\tau_{\alpha}$ において、電荷増倍パルスが図7に示されるクロック信号 $\phi_{\alpha}$ と $\phi_{\beta}$ によりそれぞれゲート電極222と203に与えられる。電荷増倍パルス $\phi_{\alpha}$ と $\phi_{\beta}$ は領域221、208のそれぞれのゲートの下の電位をレベル255と253の間に変化する。ゲート電極222と203に与えられるパルスの相関係は図7に詳細に示される。電荷増倍ゲート電極222とゲート電極203の両者のバイアスは最初電位レベル255(図6)に対応する低いレベルにある。ついで、電荷増倍ゲート電極222に与えられるバイアスは、ゲート電極203のバイアスが増加する前にその最高のレベルに上昇される。この状態において、領域221(電荷増倍ゲート電極の下方)の高い正の電位は、もしゲート電極203(図6)の下方の領域208に電位障壁(低電位)が形成されていなければ、領域209の積分ウェルから光電荷(photocharge)を引きつける。

【0028】次の工程において、電荷増倍ゲート電極222のバイアスがその最高レベルに上昇する前に、ゲート電極203のバイアスが上昇して領域208の電位を上昇する。これが、領域221(電荷増倍ゲート電極222の下方)と領域209の積分ウェルの間に存在する電位障壁を低くする。その結果、電子は領域209の積分ウェルから領域208の電位障壁を越えて高電位領域221と低電位領域208の間に形成される高電界領域に流れ始める。領域221と208の間に存在する高電界は電子の転送を誘起し衝撃イオン化と新しい電子-正孔対の発生を惹起する。

【0029】領域209の積分ウェルから全ての電子が領域208の電位障壁を越えて高電位領域221に転送し、衝撃イオン化により発生した電子が付加された後、処理は反転して領域221の全ての電子がVE電極205の下方の積分ウェルに戻される。これは、ゲート電極203のバイアスを低くする前に、電荷増倍ゲート電極222のバイアスを低くすることにより達成される。次の工程において、前記処理が繰り返され、各パルスサイクルの間に最初の電荷量が増倍される。上記の記載から、電荷は必ずしも最初のセルに戻る必要はないことが明らかである。CCD態様で適当に長い電荷増倍チェーンを形成する隣接セルに転送することもできる。増倍間隔 $\tau_{\alpha}$ のパルスの数は非常に大きくすることができる。しかし、最も好ましい数は50と5000パルスの間である。

【0030】最後の時間間隔は電荷転送間隔 $\tau_{\pi}$ で、その間に電荷がインパクトロンセルから隣接する次の構造に転送する。それは、他のインパクトロンセルまたはCCDレジスタ、CCDメモリセル、または電荷検出ノードのような他の任意のCCD構造である。電荷転送間隔 $\tau_{\pi}$ の間に、ゲート202、203に与えられるパルスがゲートの下方の電位を図7に示される相関係でレベル255と252の間に振動させる。

【0031】バイアス電圧は積分時間間隔の間よりも増倍及び読出し間隔の間の方が高いので、背景電荷の発生が除去される。しかし、読出し期間の間の背景電荷の発生が無視できるときは、タイミング発生回路を簡易化し図7に点線で示すように信号を発生することができる。ゲート電極203、222は電位252と250に対応するバイアスレベルの間のこの期間にクロックされる。

【0032】全てのゲート電極は積分期間の間のみピンニングバイアス(pinning bias)にバイアスされるので、背景電荷はインパクトロンセルに発生しない。この特徴は基板-誘電体の界面における暗電流の発生を最小にする効果をもつ。しかし、増倍サイクル時間間隔の間、全ての正孔はゲート電極203と222の下方の高電界領域から押し出されて如何なる衝撃イオン化も起こさない。

【0033】電荷キャリア増倍によりインパクトロンセルに発生する雑音の決定は単一の光子検出(SPD)が可能であるか否かを決定するのに重要な因子である。電荷はセルからセルに、または1つのセル内で多くの転送を受けるので、累積された雑音は非常に大きくなる。電荷増倍処理は図8に示すようにモデル化される。そのモデルはN個の同じ増倍段の連結(チェーン)よりなり、各段は増倍分散(multiplication variance)  $\sigma^2$ と増倍平均(multiplication mean)  $n$ をもつ。与えられた段数Nに対して、増倍係数 $M = n^N$ とすると、過剰雑音係数Fについて下記の式が導かれる。

【数1】

$$F^2 = 1 + \sigma^2 \frac{(1 - \frac{1}{M})}{n(n-1)}$$

$$\approx 1 + \sigma^2 N \frac{(1 - \frac{1}{M})}{\ln(M)}$$

【0034】各個々の増倍工程の分散は半導体基板の単結晶の性質により通常非常に小さい( $\sigma^2 = 0.002$ のオーダー)。上記の式に従って、過剰雑音係数(excess noise factor)  $F^2$ が実質的に1を越えるまでに増幅段の数を数千に増加できるので、これは非常に好都合なことである。かくして、例えば1つの電荷転送工程における増倍の確率が非常に小さくても、10から100の増倍係数が可能である。これがインパクトロン単一キャリア電荷増倍(single carrier charge multiplication)の

概念を標準的なavalanche multiplication)から区別する特徴の1つである。真空管技術に基づく像強化装置において、電荷増倍はマイクロチャネル管壁またはダイノード (dynode) 表面を被覆する非結晶質の材料で起こり、その結果過剰雑音係数は代表的に  $F^2 = 2$  である。インパクトロンは他の像強化装置に比較して過剰雑音性能において利点をもつ。

【0035】インパクトロンの他の利点は多くの現代の像センサ構造への組み込みの融通性にある。そのような組み込みの重要な幾つかの例を図9、10、11、12を参照して以下に説明する。

【0036】図9において、図5のチャネル・ストッパ204、206と同じ構造をもつ周辺領域302が活性区域301を囲む。活性区域301はインパクトロンセル201 (図5) の配列により満たされる。外部パルス駆動器から適当なバイアス電圧を供給するため、配列は相互接続線と端子311、312、313を備える。全区域301をインパクトロンセルで満たしたとき形成される像センサは完全フレーム (Full Frame) (FF) 写像器又は撮像器 (imager) と呼ばれる。この形式の装置は、電荷読出し段階の間装置に光線が投射されるのを遮断することを必要とするので、デジタル静止カメラ (DSCs) のような光シャッタをもった写像システムに使用される。像感知区域301は境界領域304を介して直列 (シリアル) レジスタ305と接続される。これは、他のゲートまたは単に適当な形状に作られたチャネル・ストッパ領域としても良い。像集積及び電荷の増倍が完了すると、電荷は配列から一列宛 (ライン毎に) 直列レジスタに転送される。直列レジスタは前に図1に示したような標準のCCDセル101からなる。レジスタの端部に数個のセル306が付加され、配列から検出ノード307及び増幅器309迄の距離を埋める。電荷検出ノードは標準セル101に組み込まれる  $n+1$  拡散領域307を含む。増幅器入力はこの  $n+1$  拡散ノードに接続される。リセットゲート及び出力ダイオード308で直列レジスタが終端する。必要なクロックバイアス電圧は相互接続線及び端子314、315により直列レジスタに供給される。直列レジスタをクロックすることにより、1列 (ライン) の像信号が読出されセンサ出力端子310に出力される。直列レジスタの信号が空になった後新しい列のデータが配列から入力されることは容易に理解される。これは適当なクロックパルスを並列の配列端子311、312に与えることにより実行される。全ての信号の列がクロックして直列レジスタに読出され、検出ノードに出力されて全センサが読出される。このサイクルが完了した後、カメラシャッタが開かれ新しい像信号が集積される。勿論集積期間に続いて適当な増倍期間があり、その後読出し期間が再び始まる。

【0037】完全フレームセンサ読出し技術の重要な変形は時間遅延積分 (Time Delayed Integration) (TD

1) 読出しと呼ばれる。この読出しモードにおいては、像感知区域に投射される像は静止せず動いている。そこで、電荷は動く像に追従するように、配列を介して同方向に、同じ平均速度でクロックされる。インパクトロンセルの動作がこの読出し技術に対応していることは当業者には理解されるであろう。

【0038】全ての形式の完全フレーム像センサは像固定パターン雑音 (image Fixed Pattern Noise) (FPN) を発生し、これはさらに適切には像固定パターン非均一性 (image Fixed Pattern Non-uniformity) と呼ばれる。非均一性はセンサを横切って分散する処理の違いによる装置の性能の僅かな違いにより発生する。活性像感知区域301に組み込まれるインパクトロンセルをもった完全フレーム像センサもまた像FPNによる被害を受ける。実際、インパクトロンセルの電荷増倍は像FPNを増幅する。従って別の実施例においては、代替りの直列レジスタ317 (図10) が図9の直列レジスタ305に取り替えられる。直列レジスタ317において、直列のインパクトロンセルがレジスタの電荷検出ノード307と増幅器309の直前に設けられる。像感知区域301のインパクトロンセルのクロック動作が電荷増倍効果を限定して基礎雑音を越える好ましい信号マージンのみを与えるようにセンサは作動されて、付加的利得は直列レジスタ317のインパクトロンセルにより与えられる。電荷の各パケットは直列レジスタ317の同じインパクトロンセルを介して転送しなければならないので、転送信号は常に同じ量だけ増倍される。かくして、直列レジスタ317は如何なる像FPNも発生しない。

【0039】直列レジスタ317の幅は像感知区域のレジスタよりも任意に広く設計できる。このようにして、直列レジスタのウエル容量は基本的に制限されず、最大のウエル容量は直列レジスタ317の後方段にのみ必要である。代表的に、直列レジスタ305 (図9) または直列レジスタ317 (図10) は急速に電荷を増幅器309を通して送出するようにクロックされる。レジスタ317において、インパクトロンセルは電荷を増倍の後同じセルに戻さず、電荷は常に前方の次のセルに転送され、正規の直列レジスタのクロック速度を保持する。

【0040】別の形式のセンサはフレーム転送 (Frame Transfer) (FT) 像センサと呼ばれる。このセンサにおいて活性区域 (例えば区域301) は通常2つの区画に分割される。上部区画は光検出器を含み像を受け、一方下部区画はバッファメモリとして機能する。下部区画は投射光から遮蔽される。本発明によるフレーム転送センサにおいて、インパクトロンセルはセンサの全活性区域301を専有していない。本発明によれば、上部区画 (図9の303) にはインパクトロンセルが設けられ、下部区画 (図9の318) には標準セル101 (図1) のみが設けられる。下部区画は読出し処理の間像データを保持するので通常像メモリと呼ばれ、一方新しい像は



上部区画に集積される。適当な相互接続線がメモリセルを装置の端子 319、320 に接続する。フレーム転送像センサは完全フレーム装置に似ているが、フレーム転送センサはこれを組み込んだカメラがシャッタを必要としない、という利点をもつ。像電荷が集積され増倍されると、電荷は急速に像メモリに送られそこでは投射光から遮蔽される。電荷転送が進行中にセンサに投射する光による像の汚れを最小にするため、電荷転送は非常に急速である。ついで、完全フレーム装置において電荷読取りを行うのと同じ態様で、電荷の読取りが像メモリ（すなわち、下部区画）から実行される。

【0041】像感知区域に標準のセル 101 をもち、像メモリ区域のみにインパクトロンセルをもったフレーム転送センサの考えも可能である。しかし、電荷増倍は汚れを増加しより多くの暗電流が増倍の前に集積されるであろう。同様の理由が像メモリと像感知区域の両方にインパクトロンの設けられた装置に当てはまるであろう。

【0042】しかし、図 10 に示されるように像感知区域及び直列レジスタ 317 にインパクトロンセルをもった装置は利点をもつ。像区域のウエル容量は限界があり、ウエル容量を飽和する危険なしにこれら画素の信号に非常に高いゲインを適用することは可能でない。ゲインは暗電流基礎雑音以上に信号を上昇するので、適当なゲインが有効である。ついで、付加的全電荷増倍ゲイン（full charge multiplication gain）が直列レジスタ 317 に適用される。直列レジスタは好ましいウエル容量をもつように充分な幅をもって設計することによりウエル容量の制限を克服できる。

【0043】電荷増倍の重要な利点の 1 つは、コソノッキ（Kosonocky）の米国特許第 5、355、165 号に開示された形式の像センサにインパクトロンセルを組み込むことにより得られる。コソノッキの米国特許第 5、355、165 号には限定された一連の画面を非常に高速で撮影する像センサが記載される。高速カメラの応用において、各フレームの露出に利用できる光量は非常に小さい。観察される場面を非常に高い光度で照明することにより通常その問題を解決する。しかしある場合は、高い光度は観察される現象に妨害となり、または観察される対象を傷つけることもある。最低でも、高い光度の照明を必要とすることは付加的の好ましくない費用が追加される。これらの応用に対して、高速カメラは通常像強化装置を備えている。

【0044】高フレーム速度感知の概念は各感光要素が局部 CCD メモリを備えている CCD センサに基づいている。メモリは工業的に公知の直列—並列—直列（SPS）設計をもつ。組み込まれたインパクトロンセルをもったセンサ構造は図 11 を参照して最も良く理解できる。センサ区域はホットセル 322 の配列、各ホットセル 322 に結合された 3—要素水平レジスタ 325、及び各水平レジスタ 325 に結合された 3×3 インパクトロン

セル配列 332 を含む。水平レジスタ 325 は図 1 の 101 のような基本セル設計の 5 つの標準 CCD セルを含む。図には全ての相互接続線は示されず、電荷増倍ゲート電極への接続 324 と直列出力レジスタへの接続 330、331 のみが示される。ホットセル 322 が露出されていることを除き全ての CCD 構造が光から遮蔽される。ただし明確にするため、光遮蔽は図面には示されない。各レジスタ 325 の第 1 のセル 323 はホットセル 322 からの電荷を受ける能力をもつ。レジスタの最後のセルは組み込まれた電荷ドレイン 326 をもつ。

【0045】図 11 のセンサの動作において、ホットセル 322 からの電荷は規則正しく水平レジスタ 325 の第 1 のレジスタ要素 323 に転送される。水平レジスタ 325 は規則正しくクロックされホットダイオード 322 からの電荷パケットをレジスタの下方ドレイン 326 に向かって転送する。3 つの順次の電荷パケットが水平レジスタ 325 を下方に移動された後、インパクトロン配列 332 は一度クロックされる。この動作は信号電荷の 3 つのパケットをインパクトロン配列の第 1 の列に移動する。ついでこの処理が 3 度繰り返されてインパクトロン配列への装荷（ローディング）が終了する。装荷サイクルが終了した後、インパクトロン配列に格納された電荷はインパクトロンセルを上記教示に従って作動することにより増倍される。この例においては、センサは非常に高いフレーム速度で露出された 9 つの連続する像フレームが格納されるのみである。露出速度は 1 秒当たり 1000 万フレームのオーダが可能である。しかし、もし SPS メモリ設計を変更すればさらに大量のフレームを格納できることは当業者には明らかである。例えば、非常に高いフレーム速度で露出される連続した 4、16、または 25 のフレームを格納できるセンサを得るために 3—要素水平レジスタ 325 と 3×3 インパクトロン配列 332 をどのように変更するか、当業者には分かるであろう。

【0046】センサ読出しは完全フレーム構造の読出しに非常に良く似た動作である。インパクトロン配列 332 と水平直列レジスタ 325 はセンサの底部に位置する出力直列レジスタ 333 を有効データ列で装荷するため 1 度クロックされる。次の工程で、出力レジスタが連続的にクロックされて全てのデータを検出ノード 329 に転送し、そこから出力増幅器 328 に転送する。全てのデータがレジスタ 333 から読出された後、インパクトロン配列 332 と直列レジスタ 325 が再びクロックされる。この処理は全ての像センサが読出されるまで繰り返される。

【0047】上記の説明において、インパクトロン構造はセンサ性能を改良するため米国特許第 5、355、165 号のセンサ配列に組み込まれる。設計及び動作の多くの細部は簡潔のため省略する。米国特許第 5、355、165 号は上記と異なる技術に使用される高速読出

10

20

30

40

50

しセンサを記載している。上記に記載されている実施例では2つのポリシリコンゲート電極レベルと1つの仮想電極VEをもった技術を使用している。当業者は他の同様の技術の適用可能性を理解するであろう。

【0048】インタライン転送(Interline Transfer)(IT)構造と呼ばれる他の装置構造群には、垂直電荷転送領域から隔離した感光領域をもったセルを含む。

【0049】図12において、セル401は図5の201に示される基本インパクトロンセルに良く似ている。しかしセル401においては、セル401のチャンネル・ストッパ404はセル201のチャンネル・ストッパ206より非常に幅広である。セル401のチャンネル・ストッパ404の追加幅部分はチャンネル・ストッパ404の幅の中に感光区域406を組み込むのに十分な空間を与える。感光区域は簡単なホットダイオード、ピン付きホットダイオード(pinned photodiode)、ショットキバリアホットダイオード(schottky barrier photodiode)、ホトトランジスタ、またはこの技術分野で公知の他の任意の感光要素であり得る。そのような構造の詳細はここでは説明しない。感光区域に集積された電荷は転送ゲート407を介して垂直CCDチャンネル409に転送される。転送ゲート407は必要なクロックパルス $\phi_{\pi}$ を供給する金属母線413に接続される。セルは感光区域406上を除き何処も投射光線から遮蔽される。光遮蔽はセル構造の上部に被覆された適当な不透明層から形成されるが、簡潔のため図面には示されない。ポリシリコンゲート構造402、403、408、チャンネル・ストッパ404のようなその他のセル構造はセル201の同様な構造に直接対応する。金属母線411、412はまたセル401におけると同様の目的に役立つ。

【0050】インパクトロン構造でないセル401もまたインタライン転送(IT)セルと呼ばれ、同様に多くの現代のCCD像センサに使用される。しかし、新しい改良されたインタライン転送構造は、図9に示される完全フレームセンサにおけるようなインパクトロンセル201を公知のインタライン転送セルの公知の垂直レジスタ要素に取り替えて、図12を参照して説明したようなインパクトロン・インタライン転送セル401を形成して得られる。そのようなセンサの動作は完全フレームセンサのインパクトロンセルの動作と光学カメラシステムにおける像シャッタを必要としないことを除いて非常に類似している。垂直レジスタは投射光線から遮蔽されるので、読出しの間の像の汚れは発生しない。電荷は垂直レジスタ409のインパクトロンセルにおいて、それが直列読出しレジスタに転送される前に増倍される。垂直CCDレジスタと水平読出しレジスタの両方にインパクトロンセルを組み込むという、完全フレーム及びフレーム転送構造に対する同じ考え方がここでも当てはまる。セル201を置き換えてインパクトロン・インタライン転送セルをフレーム転送構造に組み込むと、新しい

フレーム・インタライン転送(FIT)構造が得られる。

【0051】インパクトロンセル無しのフレーム・インタライン転送構造は当業者に周知であるのでこれ以上の説明はしない。インパクトロンセル構造とセンサ構造の多くの他の組み合わせは、2重直列レジスタ、配列の上部及び下部の両方に配置された直列レジスタ等のように可能である。例えば、像センサ配列を1列のインパクトロン・インタライン転送セルのみから構成するとき、1つの列センサ(line sensor)が形成される。

【0052】インパクトロン構造を利用した像センサの他のグループは活性画素(Active Pixel)(AP)像検出器を用いたグループである。これらのセンサは通常CMOS処理技術により作られるので一般にCMOSセンサとして知られている。製造技術以外のCCDセンサとCMOSセンサの主な違いは像の読出しにある。CCD装置においては電荷は配列の各画素から通常只1つの出力検出ノードに転送される。これは、適当なクロック電圧を配列の各種電荷転送ゲート電極に与えることにより実行される。CMOSセンサにおいては、電荷が感知され、記憶されまたは画素内で直接適当な増幅器により増幅される。画素の出力は画素をX-Yアドレス指定し、増幅された信号を読出すことにより得られる。CCD装置に比較してCMOSセンサはある利点をもっている。1つの例はシステムの積分能力にあり、他の利点は低い電力消費である。

【0053】インパクトロン構造の活性画素センサへの組み込みについて図13を参照して説明する。図13において、配列の1つの画素525は改変されたインパクトロンセルを組み込んだ活性セル領域501を含む。セルはゲート電極502と電荷増倍ゲート電極506を含む。区域505は仮想電極領域VEである。活性領域501の外側にある活性画素525の区域は好ましくはチャンネル・ストッパとして形成される。インパクトロンセルはさらに転送ゲート電極503、 $n$ +拡散電荷検出ノード508、リセットゲート電極504、及びドレイン509を含む。活性画素ユニットセル525はさらに感知トランジスタ510及び図式に示されるアドレス指定トランジスタ511を含む。

【0054】図13のセンサの作動において、光電荷は仮想電極VE505の下方の格納ウェルに集積される。集積が完了した後VE領域505の下方の格納ウェルに集積された電荷は前述の如くゲート電極502、506に適当なインパクトロンクロック電圧を印加することにより増倍される。増倍が完了した後、電荷は感知トランジスタ510のゲートに接続された検出ノード508に転送される。感知トランジスタ510の出力ノードはアドレス指定トランジスタ511を介して垂直感知線514に結合される。アドレス指定トランジスタ511が導通されると、感知トランジスタからの出力信号はトラン



ジスタ 511 を介して配列の垂直感知線 514 に結合される。線 514 はその末端にある電流源負荷によりバイアスされる。配列の多くの画素は代表的に 1 本の列（ガラム）感知線（例えば列感知線 514）に接続される。垂直走査回路 521 は線 512 を介して複数のトランジスタ 511 を連続的に順次 ON, OFF して、垂直走査を実行する。信号が感知されトランジスタ 511 が再び OFF にされた後パルスが印加されてゲート電極 504 をリセットし、感知ノード 508 をドレイン 509 の電位にリセットする。リセット動作の期間、ドレインバイアス線 513 は一時的に適当なリセット電圧レベルに降下される。かくして、線 513 は 2 重の目的を行う。1 つは、読出しの間トランジスタ 510 にドレインバイアスを供給し、もう 1 つはリセット動作の間基準バイアスをドレイン 509 に供給する。水平走査器 519 は配列の水平走査を実行する。走査器は命令パルスを水平走査スイッチ 515 に供給し、複数の垂直感知線 514 を連続的に順次水平感知線 516 に接続する。配列増幅器 517 は水平感知線 516 に現れた信号を一時記憶し、記憶した信号を出力配列端子 518 に送付する。上記の基本活性画素（Active Pixel）CMOS センサの各種変形が文献に見られるが、上記の説明は単なる例示と理解されたい。本発明はインパクトロン構造を組み入れた各種変形の全てを含む。

【0055】簡潔のため上記の説明から多くの詳細部分を省略した。例えば、像センサは通常適当なブルーミング防止（anti-blooming）構造が設けられる。横方向オーバーフロードレイン（Lateral Overflow Drain）（LOD）と呼ばれ、ここに記載の技術に適用できるそのような構造の 1 つがハイネスク（Hynecek）他の米国特許第 5、453、632 号に記載されている。その内容を参照として本願に組み込む。横方向オーバーフロードレイン構造は好ましくは図 14 に示されるインパクトロンセルのチャンネル・ストッパ領域の 1 つに配置される。図 14 において、セル 201 はチャンネル・ストッパ領域 206 の上に位置するポリシリコンゲート電極 260 及びゲート電極 260 の下に埋め込まれた（インプラントされた）適当なボロン障壁埋込み（Boron Barrier implant）263 を含む。ゲート電極 260 は n+ ドレイン領域を画定する中央開口 261 を含む。ドレイン領域 264 はゲート電極 260 に接続され、そこから金属線により横方向オーバーフロードレイン端子 266 に接続される。このようにして、図 15 に示すような線 C-C' に沿った電位形状を形成する。

【0056】横方向オーバーフロードレインの動作において、横方向オーバーフロードレイン端子 266 に印加される適当なバイアス 257（図 15）は格納ウエルに集積される電荷を限定する電位障壁 256 を形成する。光電荷が仮想電極 VE205（図 14）の下方の格納ウエルにボロン埋込み 263 の量及びドレイン 264 に印加さ

れるバイアスにより決められるレベル 256 まで集積すると、電子がドレインに流れ始める。これが、光電子の抽出量をウエル電位をレベル 256 より低くするのに必要な量以上にして装置のブルーミングを防止する。

【0057】ブルーミング防止の他の一般的形式は垂直オーバーフロードレイン（VOD）である。既知の垂直オーバーフロードレイン構造の詳細は簡潔のため省略する。この構造は代表的に n-型の基板 262 上に作られ、CCD 装置は図 15 に示される適当な p-ウエル 265 に配置される。この構造はバルク発生暗電流（bulk generated dark current）の減少に有効であるので、例えば垂直オーバーフロードレインが電氣的に作動しなくても使用することができる。当業者は、インパクトロンセル 401 が垂直オーバーフロードレイン構造に匹敵することを理解できるであろう。

【0058】最近製造された見本（TC301）について、基板（0ボルト（V））に関するクロック電圧の例は次の通りである。

電荷送付クロック： +2V と -4V；

電荷増倍クロック： +18V と -4V（高レベルは異なるゲインが必要なとき変更できる）；

ピニングバイアスレベル： -5V

しかし、当業者はこれらは単に例示であって他の装置または方法においては調整できることを理解できるであろう。

【0059】図 16 において、インパクトロンセルは基板に形成されチャンネル・ストッパ 604 と 606 の間に画定されたチャンネル、電荷増倍ゲート電極 622、前記チャンネルの上にそれを横切って絶縁的に形成された第 1、第 2 のゲート電極 602、603 を含む。第 1、第 2 のゲート電極 602、603 はそれぞれ第 1、第 2 のゲート電極の上面図を通して開口 621 を縁どる第 1、第 2 のレティキュレーション（reticulation）をもつ。電荷増倍ゲート電極 622 はその開口上に絶縁して配置される。第 1、第 2 のゲート電極 602、603 はそれぞれ第 1、第 2 のポリシリコン層から作られ、電荷増倍ゲート電極 622 は第 3 のポリシリコン層から作られる。第 1、第 2 のゲート電極を横切る断面 D-D' が図 17 に図示される。

【0060】図 17 において、隣接するポリシリコンゲート電極はその間に絶縁物 703 が設けられ、重なり部分（オーバーラップ）704 を作るように形成される。この構造は基板 705 の上に作られる。第 1 のゲート電極 701 は電極間絶縁物が形成される前に第 1 のポリシリコン層から作られる。次の工程で、第 2 のゲート電極 702 が第 2 のポリシリコン層から作られる。図 16 に示される実施例において、追加の絶縁層が第 2 のポリシリコン層の上に形成され、ついで電荷増倍ゲート電極 622 が第 3 のポリシリコン層から第 1 のポリシリコン層、電極間絶縁物、第 2 のポリシリコン層、及び他の電

極間絶縁物を含む構造の上に作られる。

【0061】図18にはインパクトロンゲート電極を形成する別の方法が図示される。図18において、ゲート電極801、802はその間に小さな間隙803をもちゲート誘電体層804により基板805から絶縁されて形成される。これにより、平坦で単一のポリシリコン堆積（デポジション）層から形成されるゲート電極構造が作られる。多重ゲートもこの方法で追加のポリシリコン層を付着する複雑な処理無しに形成できる。高解像度リソグラフィが利用可能な今日、間隙は0.1ミクロン幅、またはそれ以下に制御できる。これにより、十分に強い電界がゲート対ゲートの境界領域に発生するのを許し、効率的電荷転送と共に電荷増倍の両者の実行を容易にする。

【0062】図19において、インパクトロンセル構造は基板に形成されチャンネル・ストッパ904、906の間に画定されたチャンネル、電荷増倍ゲート電極922、前記チャンネル上にそれを横切って絶縁的に配置された第1、第2、第3のゲート電極902、903、907を含む。第1、第3のゲート電極902、907は第1のポリシリコン層から形成され、それを通してそれぞれレティキュレーション（reticulations）をもつように形成され、第2のゲート電極903は第2のポリシリコン層から形成されて前記第1、第3のゲート電極のレティキュレーションの近傍にそれを通して間隙をもち、前記第1、第2、第3のゲート電極の上面図を通して開口921を形成縁どるようにしている。電荷増倍ゲート電極922は第3のポリシリコンから、前記開口の上に絶縁的に配置されるように形成される。当業者は、このインパクトロンセル構造を延長して、電荷増倍ゲート電極922の下方の開口921に役立つ間隙をもった追加のゲート電極を含むように延長できる、ことが理解できるであろう。例えば、ゲート電極903を2つの隔離したゲート電極903A、903Bに分割して、図19のインパクトロンセル構造が4つのゲート電極を含むようにしてもよい。

【0063】上記説明は主としてp-型シリコン基板とSiO<sub>2</sub>誘電体に関してなされたが、ガリウム・ヒ化物、水銀カドミウム、テルル化物等のような他の形式の材料と共にn-型基板も使用できることは当業者には理解されるであろう。特に高い注目を引くのは光側領域がプラチナ・シリサイド・ショットキ・バリア・ダイオードであるシリコンをベースにしたインパクトロン・インタライン転送装置である。

【0064】標準のカラーフィルタ配列と小型レンズ配列はまたインパクトロン技術に匹敵し、インパクトロン像センサ上に堆積または他の方法により形成することができる。この融通性はインパクトロン構造に独特のもので、真空管像強化装置においては利用できない。インパクトロンセル構造は効率の良いカラー単一光子検出（S

PD）像センサを製造を可能にし、このようにして低光量のカラー像形成技術の重要な進歩を可能にする。

【0065】新規の実施例の開示された内容によれば以下が提供される：感光性領域；前記感光領域を少なくとも一部制限するチャンネル・ストッパ；及び少なくとも1部が前記感光区域内に存在する高電界キャリア増倍区域を含み、前記キャリア増倍区域が前記チャンネル・ストッパと何処においても重なっていない、固体像強化装置。

【0066】新規の実施例の他の開示された内容によれば以下が提供される：高電界を印加して衝撃イオン化を誘起することのできるキャリア増倍区域；及び第1の導電型の半導体材料を含むホットキャリア収集区域を含み、前記収集区域に収集された電荷が前記キャリア増倍区域において増倍されるようにし、前記キャリア増倍区域が前記チャンネル・ストッパと何処においても重なっていない、固体感光装置。

【0067】新規の実施例の他の開示された内容によれば以下が提供される：横方向に拘束された電荷格納ウェル；及び高電界を印加して内部のキャリアの衝撃イオン化を誘起することのできるキャリア増倍領域を含み、前記増倍領域が全体的に前記ウェル内に存在する、固体電荷増幅装置構造。

【0068】新規の実施例の他の開示された内容によれば以下が提供される：バイアスされたとき、空乏化された半導体材料の体積内に横方向高電界を誘起するように配置された少なくとも1つの電極対；及び前記高電界領域内でなだれ的でなく、単一事象（single-event）の衝撃イオン化を許す径路に沿ってキャリアを転送する追加的装置構造を含む、固体電荷増幅装置構造。

【0069】新規の実施例の他の開示された内容によれば以下が提供される：半導体材料内で高電界領域を介して1つまたはそれ以上の移動キャリアを転送すること；の工程を含み、前記高電界領域は単一工程の衝撃イオン化を生じて転送される電子の数に比例した追加の電子を発生するに十分な強度であり、前記高電界領域の全体が空乏化された前記半導体材料の体積内に存在する、固体電荷の増幅方法。

【0070】新規の実施例の他の開示された内容によれば以下が提供される：相互にバイアスされたとき、空乏化された半導体材料の体積内に横方向高電界を誘起するように配置された少なくとも1つの電極対；を含み、前記電極対は前記空乏化された半導体材料の体積に十分に近接して位置し、前記電極対が前記半導体材料に衝撃イオン化を起こすに十分なほど高い電圧でバイアスされたとき、衝撃イオン化を起こすに十分な高さの電界の領域が十分に小さく、なだれの確率が実質的にゼロである、固体電荷増幅装置の構造。

【0071】新規の実施例の他の開示された内容によれば以下が提供される：少なくとも1つのセルを含むセンサであって、各セルが基板に形成されたチャンネル；前記

チャンネルの上にそれを横切って絶縁的に配置され、開口の形成されたゲート電極構造；及び前記開口の上及び内部に絶縁的に設けられた電荷増倍ゲート電極を含んだ、前記少なくとも1つのセルを含むセンサ。

【0072】新規の実施例の他の開示された内容によれば以下が提供される：基板に形成されたチャンネル；電荷増倍ゲート電極；及び前記チャンネルの上にそれを横切って絶縁的に配置された少なくとも第1、第2、第3のゲート電極；を含み、前記第1、第3のゲート電極はそれぞれレティキュレーションをもち、前記第2のゲート電極は前記第1、第3の電極のレティキュレーションに近接してそれを通して開口を縁どるように間隙をもち、前記電荷増倍ゲート電極が前記開口の上及び内部に絶縁的に配置されている、センサ。

【0073】新規の実施例の他の開示された内容によれば以下の格納ウエルの電荷を増倍する方法が提供される：電荷増倍ゲート電極の下方に増倍ウエルを形成すること；前記格納ウエルと増倍ウエルの間に存在する障壁を減少して、前記格納ウエルに格納されている電荷が前記障壁を越えて増倍ウエルに転送され衝撃イオン化により追加の電荷を発生するようにすること；前記最初の電荷が前記追加の電荷と結合して増倍された電荷を構成し、その増倍された電荷を前記増倍ウエルから前記格納ウエルに転送すること；の各工程を含む、前記格納ウエルの電荷を増倍する方法。

【0074】

【修正及び変形】当業者には分かるように、本願に記載の新規の概念は非常に多くの適用範囲にわたり修正及び変更ができ、従って特許される主題の範囲は如何なる特定の例示的教示に限定されるものでない。

【0075】例えば、開示されたキャリア増倍構造は上記の像形成装置構造の範囲に限定されるものでなく、他の構造にも適用される。

【0076】他の例として、開示されたキャリア増倍構造は像強化装置に限定されず、電荷領域信号処理または放射検出のような他の回路関係における電荷増幅にも使用できる。

【0077】この技術を使用して、増倍ゲート電極の電圧を変更して、または増幅サイクルに用いるパルス数を制御して増幅を制御することが可能である。この両者はセンサチップにより外部的に制御できる。これは特に、ある意図する実施例におけるように、3つのカラーチャンネルに別個の増幅係数を適用できるカラー像形成に有用である。

【0078】本願の記載の何れにおいても、ある特定の要素、工程、または機能が請求項の範囲に含まれねばならない必須の要件であると考えるべきでない。特許の主題の範囲は許可された請求項によってのみ画定される。さらに、これら請求項の何れも正確な用語“means for”の後に participle が続くのであれば、米国特許

法第112条のパラグラフ6に依存する意図はない。

【0079】本願は1999年8月30日出願の米国予備出願番号60/151,370の優先権を主張する。この予備出願の内容を参考として本願に組み込む。

【図面の簡単な説明】

【図1】従来技術に代表的の既知のCCDセルの上面図を示す。

【図2】図1の標準的セルの断面を電荷転送処理の説明に使用する電位の変化形状と共に示す。

【図3】図1の線B-B'に沿った標準的セルの断面と、2つの異なるゲートバイアス条件におけるその方向の電位の変化形状と共に示す。

【図4】チャンネル・ストッパ領域の詳細断面と正孔衝撃イオン化処理による暗電荷発生の最初の図解を示す。

【図5】本発明による一般的インパクトロン単位セルの上面図。

【図6】図5に示されるインパクトロンセルの断面を複数の異なるゲートバイアス条件における対応する電位の変化形状と共に示す。

【図7】インパクトセルタイミングの3つの異なるサイクルを示す一般的タイミング図形を示す。

【図8】本発明による電荷増倍雑音の式の誘導に使用される電荷増倍処理のモデルを示す一般的タイミング図面を示す。

【図9】完全フレーム像センサとフレーム転送CCD像センサとの構成を示す構成図面。

【図10】本発明による別の直列レジスタの上面図。

【図11】インパクトロンセル構造を含む高速CCDセンサの構成を示す構成図面。

【図12】本発明によるインパクトロン構造を組み込んだインタライン転送像CCDセンサ単位セルの上面図。

【図13】例示的实施例によるインパクトロン構造を組み込んだ活性画素CMOS像センサの配列の単位セルの上面図と関連する回路を示す図面。

【図14】横方向オーバフロードレイン・ブルーミング防止構造を組み込んだ一般的インパクトロン単位セルの上面図。

【図15】断面線C-C'に沿った図14のセルの断面図とその方向のセル電位の変化形状を示す図面。

【図16】本発明による別のインパクトロンセル構造の上面図。

【図17】インパクトロンセルのゲートの重なる領域を示す2-ポリ、2-ゲート構造の断面図。

【図18】インパクトロンセルにおける、別の平坦な単一-ポリ、多重-ゲート構造の断面図。

【図19】本発明による別ノインパクトロンセル構造の上面図。

【符号の説明】

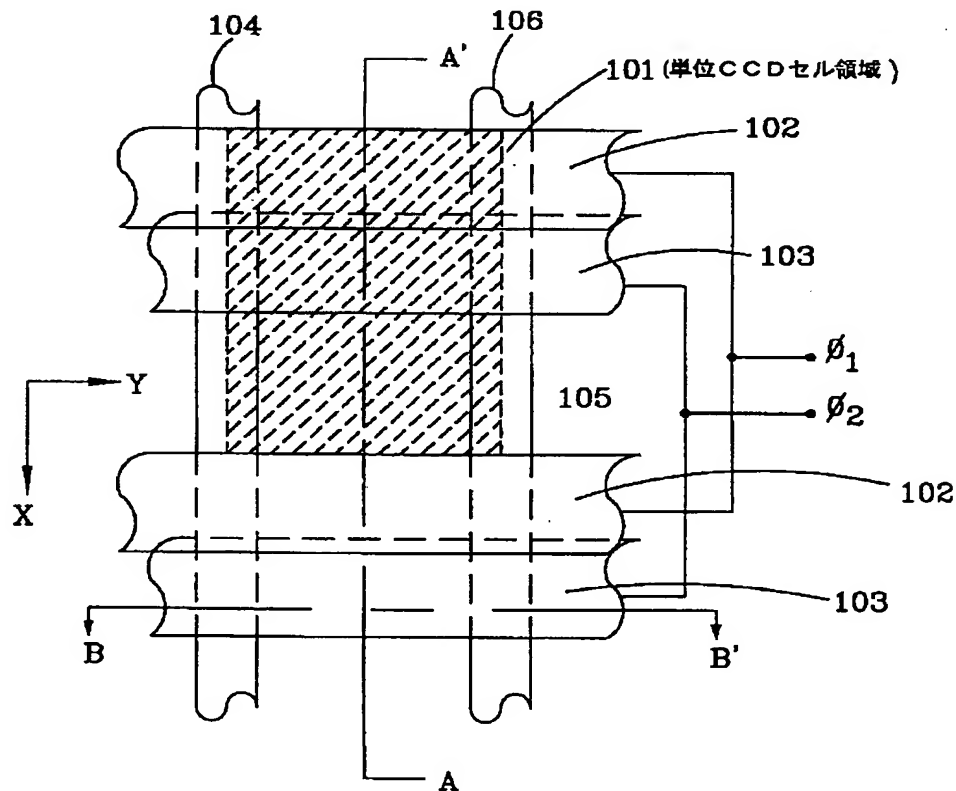
101 単位セル

102、103、202、203、222 ゲート電極

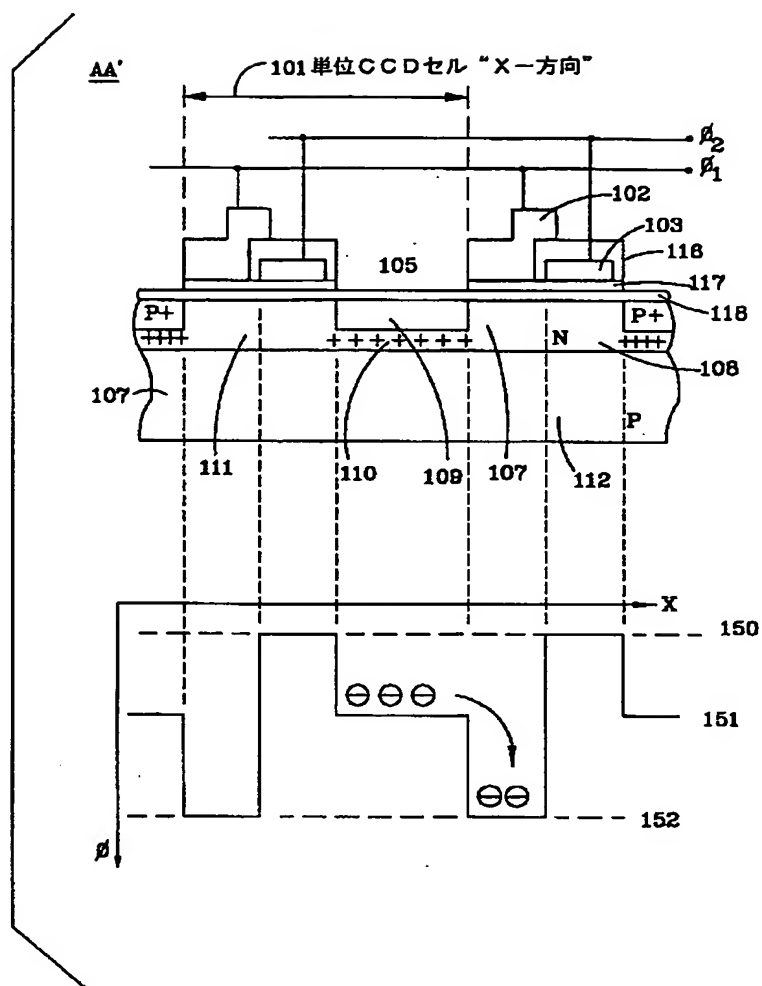
104、106、204、206 停止領域  
 105、205 仮想電極領域  
 112、212、705、805 半導体基板  
 118 ゲート誘電体  
 119 正孔  
 201、332、401 インパクトロンセル  
 204、206、404、604、606 チャンネル・ストップパ  
 904、906 チャンネル・ストップパ  
 211 不純物領域  
 217、218 誘電体層  
 221 開口  
 264 ドレイン  
 301、501 活性領域  
 302 周縁領域  
 303 セル配列  
 304 インタフェース

\* 305、317、325、333、409 レジスタ  
 307 検出ノード  
 309、328 増幅器  
 322 ホトセル  
 402、403、408、502、503、504 ゲート電極  
 506、602、603、622、701、702 ゲート電極  
 801、802、902、903、907、922 ゲート電極  
 10 406 光検知領域  
 407 転送ゲート  
 409 CCDチャンネル  
 508 検知ノード  
 509 ドレイン  
 519、521 スキャナ  
 \* 525 画素

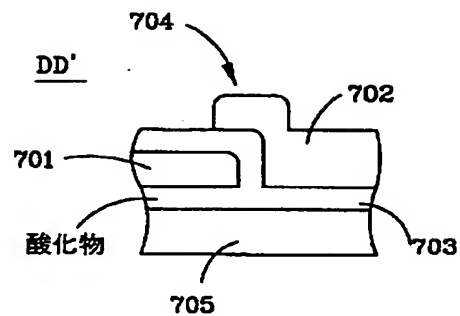
【図1】



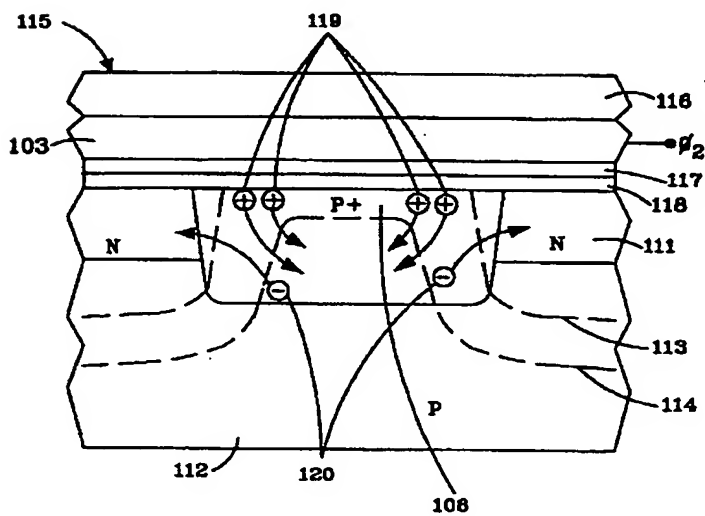
【図2】



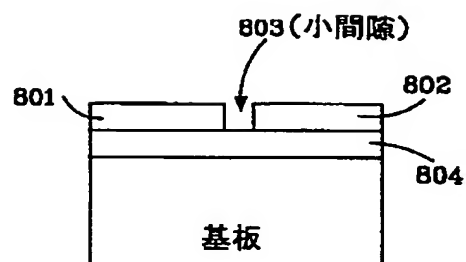
【図17】



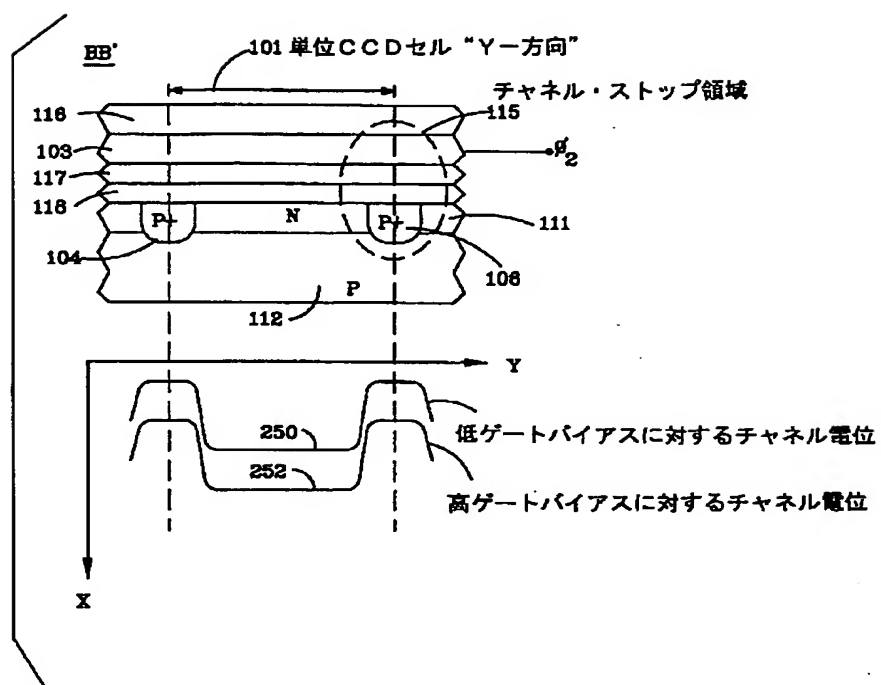
【図4】



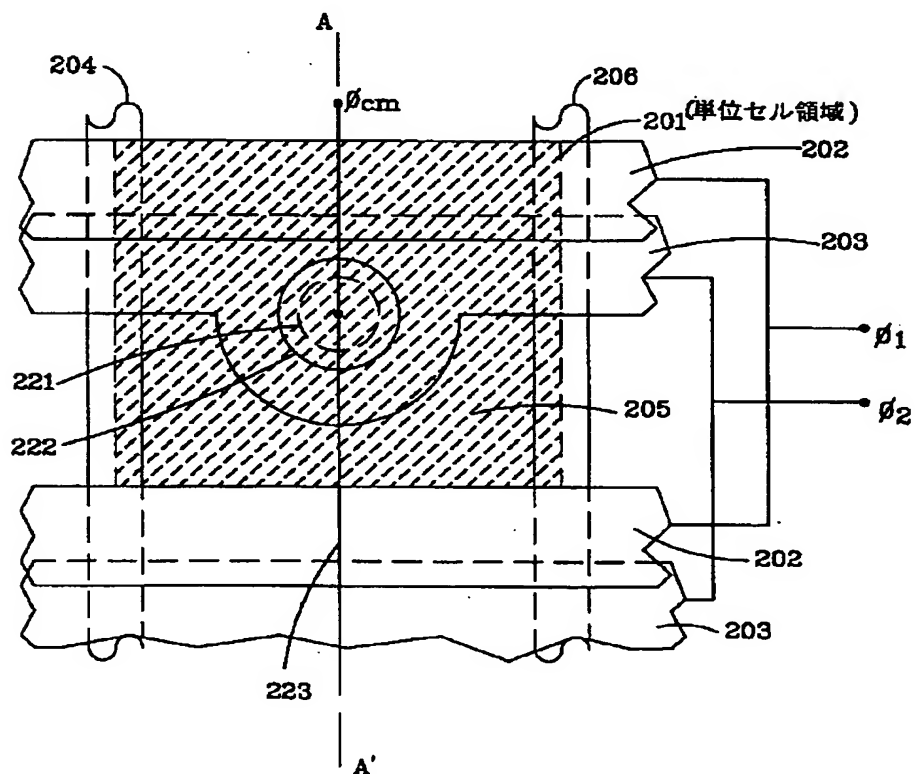
【図18】



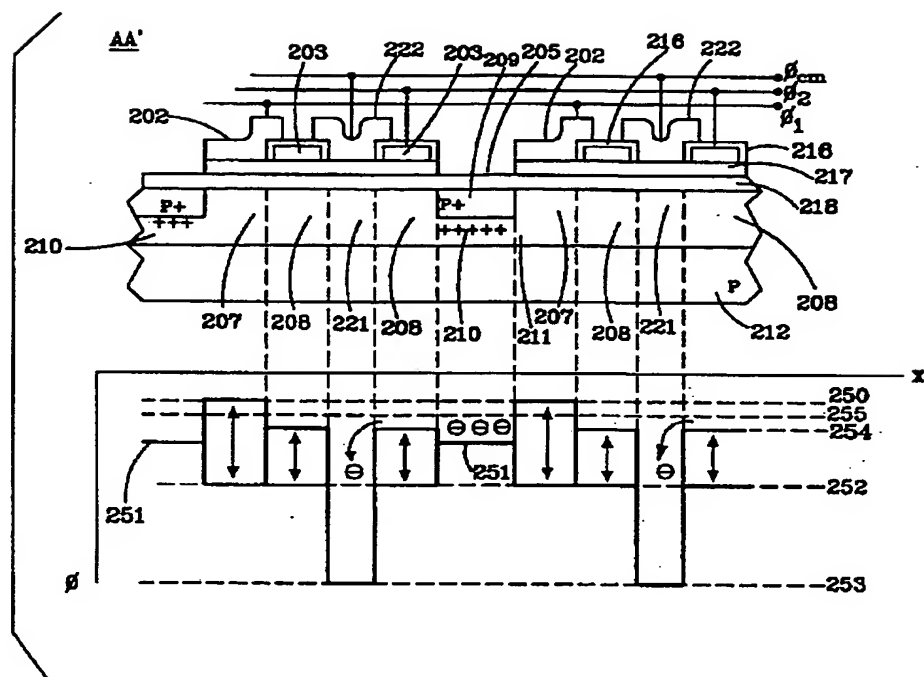
【図3】



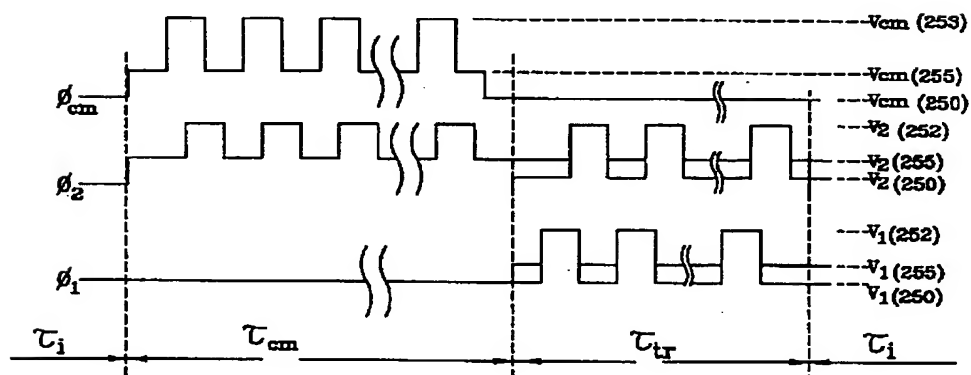
【図5】



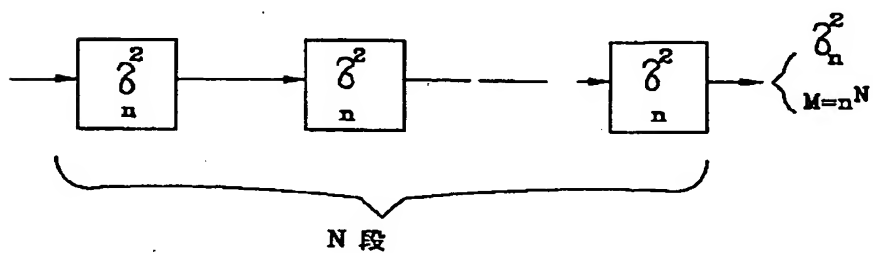
【図6】



【図7】



【図8】

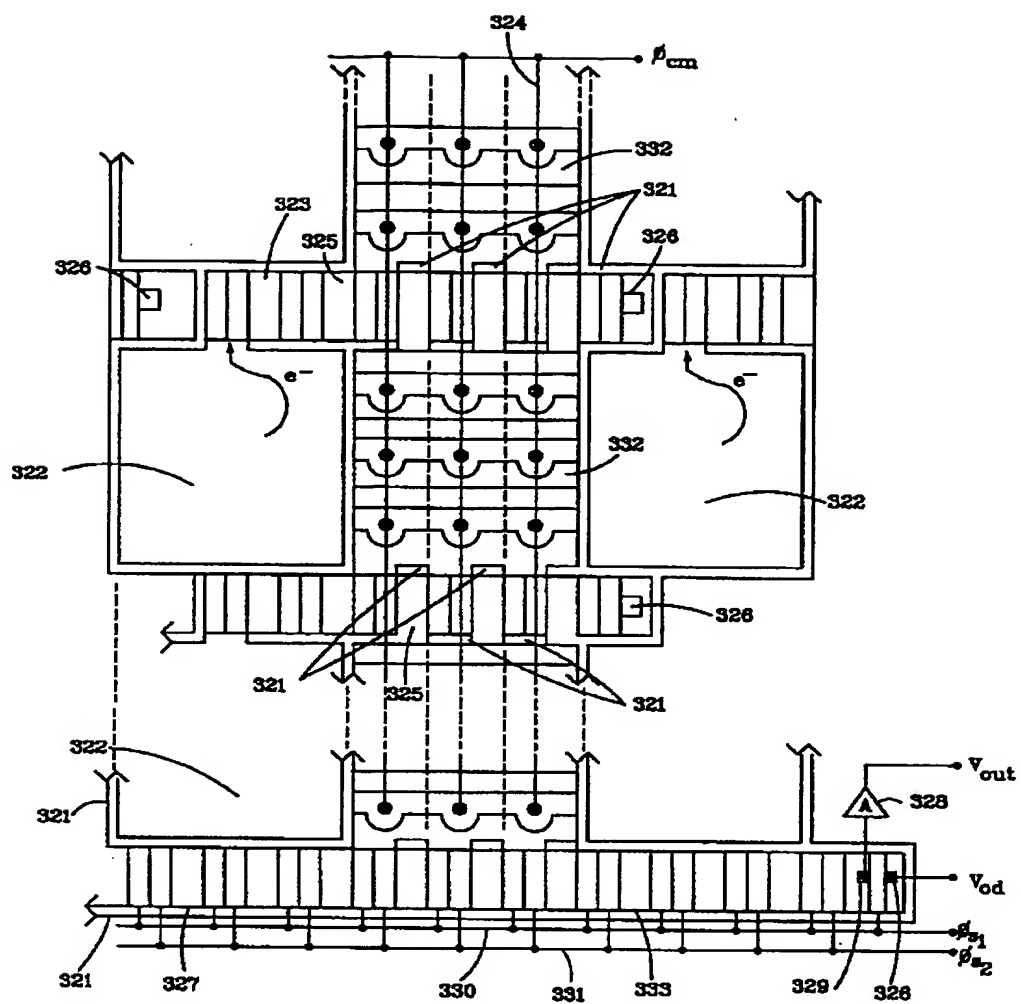




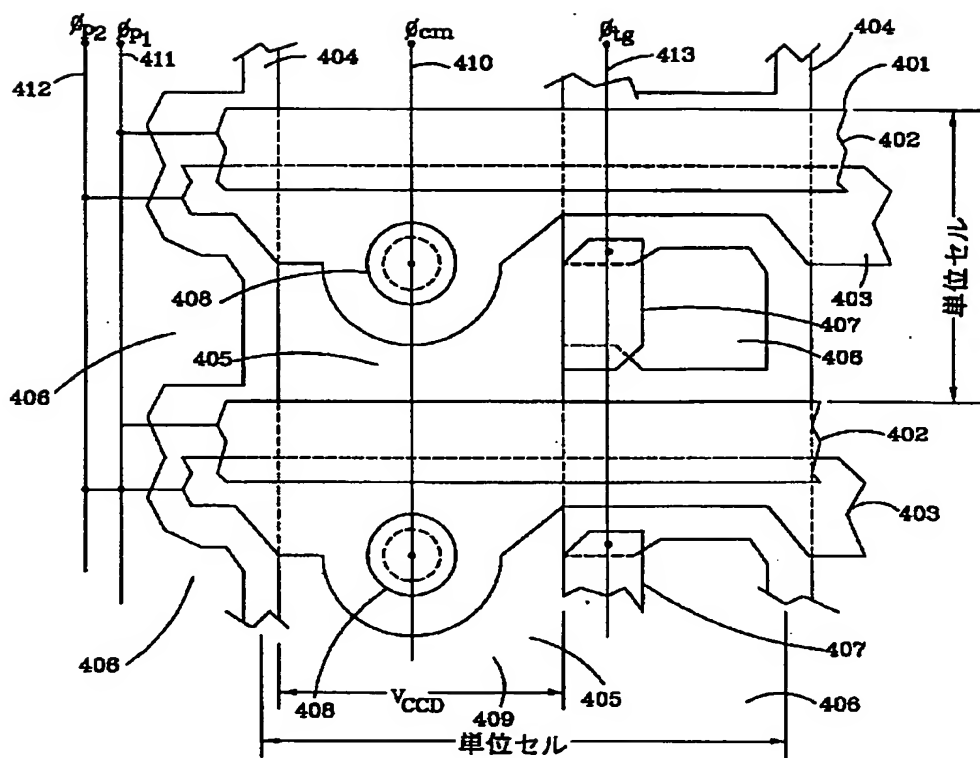
The schematic diagram illustrates a semiconductor device with several interconnected components:

- Input Stage:** Includes input nodes labeled  $\phi_{P_1}$ ,  $\phi_{P_2}$ , and  $\phi_{cm}$  (labeled 311, 312, 313 respectively).
- Main Processing Area:** A large rectangular block containing internal structures like 301, 302, 303, 304, and 305.
- Data Path / Memory Array:** A grid-like structure labeled 318, connected to inputs  $\phi_{m1}$  and  $\phi_{m2}$  (labeled 319, 320) and outputs 314 ( $\phi_{s1}$ ) and 315 ( $\phi_{s2}$ ).
- Output Stage:** Features an output node  $V_{out}$  (labeled 310), an operational amplifier or buffer symbol (labeled 309), and a feedback path (labeled 306).
- Control and Biasing:** Includes control signals  $\phi_{od}$  (labeled 307) and  $\phi_{od}$  (labeled 308) applied to specific transistors or gates.

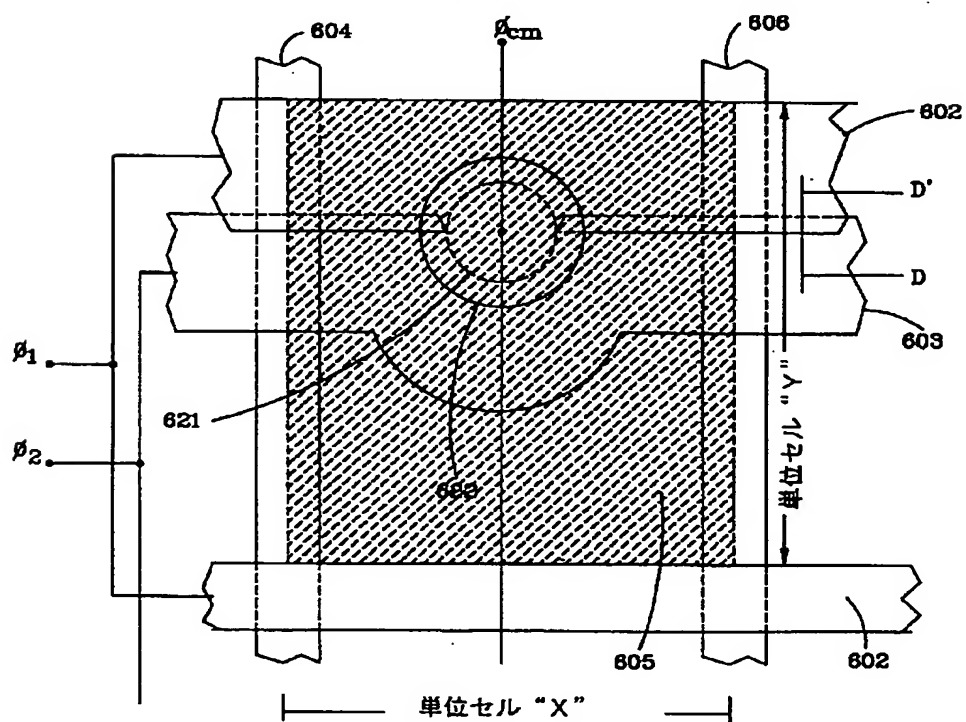
【图 1 1】



【図12】

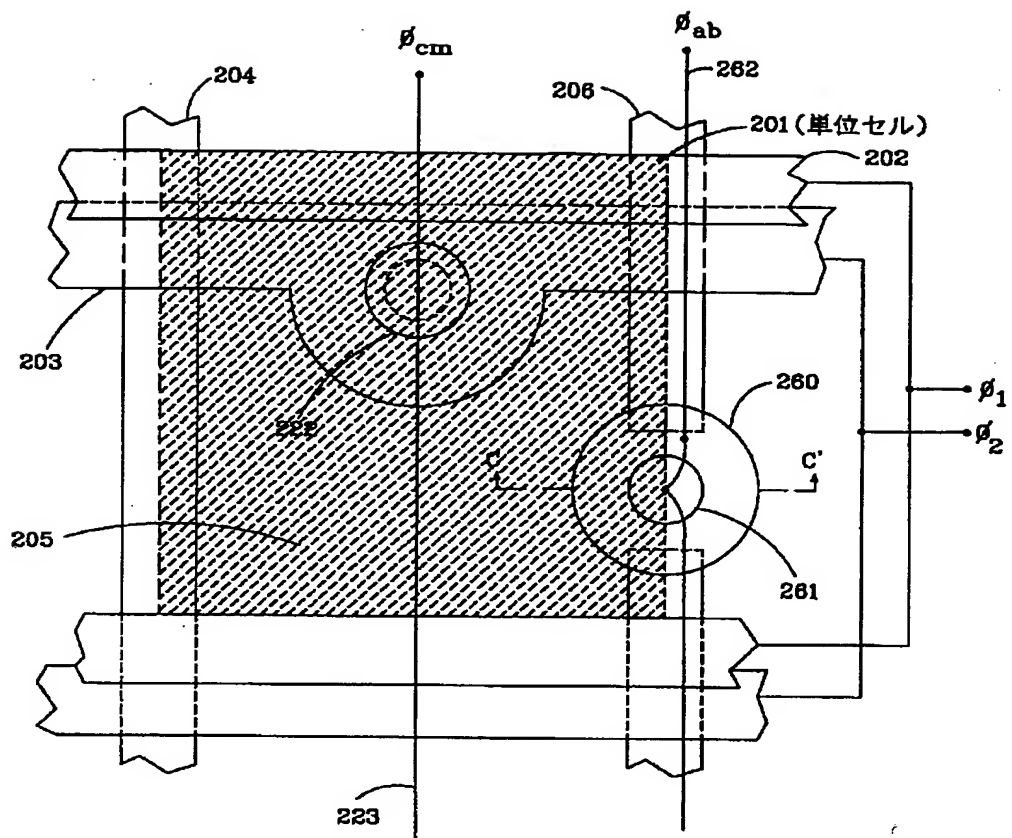


【図16】

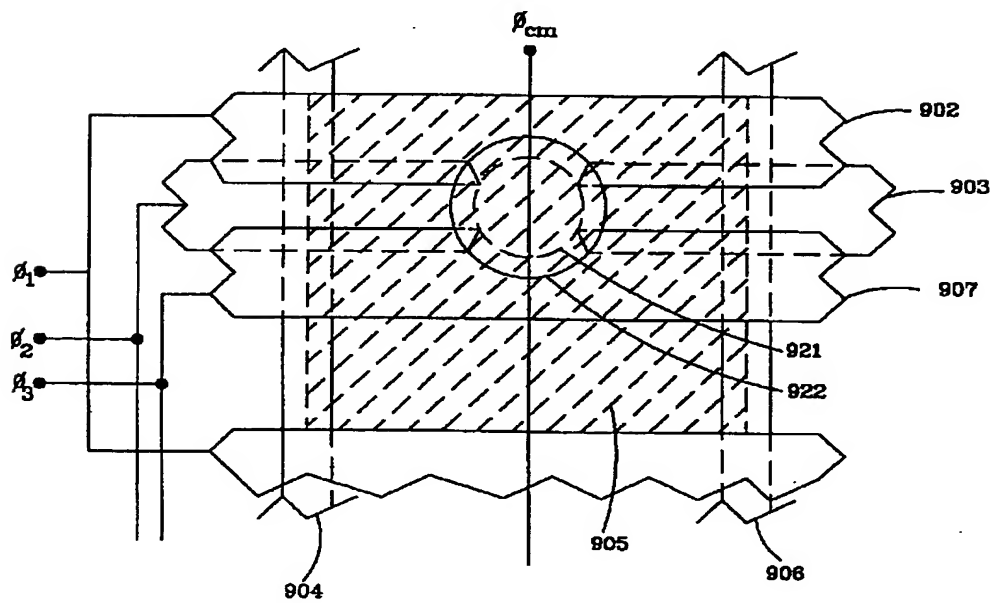




【図14】



【図19】



The diagram illustrates a semiconductor device structure and its corresponding energy and carrier profiles. The top part is a cross-sectional view showing a central  $N^+$  region (210) flanked by  $P^+$  regions (209). The device is built on a substrate with layers 211, 285, and 282. Electrical contacts 260 and 264 are shown on the top surface. A potential  $\phi_{ab}$  is indicated at the top. The bottom part shows the potential energy profile  $\phi$  (Y-axis) and carrier concentration  $N$  (X-axis) across the device. The potential profile shows a central well (256) and a barrier (257). Electrons ( $e^-$ ) are shown moving from the  $P^+$  regions into the central well. The carrier concentration profile shows a sharp peak in the  $N^+$  region (210) and lower levels in the  $P^+$  regions (209).